



Politecnico di Bari

Repository Istituzionale dei Prodotti della Ricerca del Politecnico di Bari

Front-end Electronics for GEM detectors

This is a PhD Thesis

Original Citation:

Front-end Electronics for GEM detectors / Ciciriello, Fabio. - (2017). [10.60576/poliba/iris/ciciriello-fabio_phd2017]

Availability:

This version is available at <http://hdl.handle.net/11589/100060> since: 2017-03-24

Published version

Politecnico di Bari
[10.60576/poliba/iris/ciciriello-fabio_phd2017](http://hdl.handle.net/10.60576/poliba/iris/ciciriello-fabio_phd2017)

Terms of use:

Altro tipo di accesso

(Article begins on next page)



Politecnico
di Bari

Department of Electrical and Information Engineering
ELECTRICAL AND INFORMATION ENGINEERING

Ph.D. Program
SSD: ING-INF/01–ELECTRONICS

Final Dissertation

Front-end Electronics for GEM detectors

by

Fabio Ciciriello

Referees:

Prof. Eugenio Cantatore

Prof. Luca Fanucci

Supervisors:

Prof. Francesco Corsi

Prof. Cristoforo Marzocca

Coordinator of Ph.D Program:

Prof. Vittorio Passaro

XXIX cycle, 2014-2016



Politecnico
di Bari

Department of Electrical and Information Engineering
ELECTRICAL AND INFORMATION ENGINEERING

Ph.D. Program

SSD: ING-INF/01-ELECTRONICS

Final Dissertation

Front-end Electronics for GEM detectors

by

Fabio Ciciriello

Referees:

Prof. Eugenio Cantatore

Prof. Luca Fanucci

Supervisors:

Prof. Francesco Corsi

Prof. Cristoforo Marzocca

Coordinator of Ph.D Program:

Prof. Vittorio Passaro

XXIX cycle, 2014-2016

Introduzione	4
Capitolo 1 Rivelatori di particelle a Gas.....	7
1.1 Introduzione ai rivelatori Gas Electron Multiplier (GEM)	7
1.2 Cenni di fisica dei rivelatori a gas.....	9
1.2.1 Processo di ionizzazione	9
1.2.2 Tipi di interazioni di specie cariche in gas.....	11
1.2.3 Formazione della valanga	13
1.2.4 Risoluzione energetica di un proportional counter	13
1.3 Gas Electron Multiplier.....	16
1.3.1 Geometria e fabbricazione di una GEM	16
1.3.2 Trasparenza ottica ed elettrica.....	17
1.3.3 Guadagno di una GEM: fattori geometrici e dipendenza dal campo esterno	20
1.3.4 Strutture multi-GEM.....	21
1.3.5 Fenomeno del positive ion backflow	22
1.3.6 Formazione del segnale.....	23
1.3.7 Prestazioni temporali.....	25
1.3.8 <i>Rate capability</i> del detector.....	26
1.4 Elettronica di lettura per rivelatori di particelle	27
1.4.1 Risoluzione energetica dell'elettronica di front-end.....	30
1.5 Applicazioni delle GEM	37
1.5.1 Rivelazione di neutroni veloci	37
1.5.2 Rivelazione di neutroni termici.....	38
1.5.3 Rivelatori di radiazione UV e fotoni nello spettro visibile	39
1.6 Stato dell'arte dell'elettronica di front-end per GEM detectors	40
Capitolo 2 Progetto del canale analogico	43
2.1 Le specifiche del progetto	43
2.2 Progetto del CSA	45
2.2.1 Simulazione del CSA	56
2.3 Lo <i>shaper</i> : struttura e dimensionamento.....	57
2.4 Il peak detector.....	67
2.4.1 Dimensionamento del PD	69
2.5 Discriminatore di tensione	73
2.6 Logica di canale	76
Capitolo 3 Architettura ASIC.....	78
3.1 Logica di controllo	80

3.2	Operazioni di lettura.....	83
3.3	Procedura di reset.....	86
3.4	Il convertitore analogico digitale	86
3.4.1	Architettura e progetto del convertitore.....	88
3.5	Padding	92
3.6	Layout	95
Capitolo 4	Caratterizzazione dell'ASIC.....	96
4.1	Collaudo della configurazione dell'ASIC.....	99
4.2	Collaudo delle procedure di read-out.....	100
4.3	Caratterizzazione del canale analogico: uscita dello <i>shaper</i>	101
4.4	Caratterizzazione del canale analogico: uscita del <i>peak detector</i>	103
4.5	Valutazione del rumore elettronico.....	105
4.6	Prestazioni dell'ASIC in termini di risoluzione temporale.....	107
4.7	Valutazione dei risultati prodotti dall'ADC.....	108
	Conclusioni	109
	Bibliografia:	110

Introduzione

L'obiettivo del lavoro descritto in questa tesi di dottorato è la progettazione di un ASIC (Application Specific Integrated Circuit) multicanale, in tecnologia CMOS standard da $0.35\mu\text{m}$, per la lettura di rivelatori di tipo GEM (*Gas Electron Multiplier*) e la caratterizzazione del relativo prototipo realizzato attraverso misure sperimentali che validino le prestazioni elettriche studiate per via teorica e verificate per mezzo del simulatore circuitale.

Il lavoro è inquadrato all'interno del progetto di ricerca AMIDERHA, che mira a studiare e sviluppare nuove tecnologie nell'ambito della strumentazione medica dedicata alla diagnosi e alla radioterapia. In particolare il tema di ricerca è focalizzato sullo studio di un nuovo sistema di radioterapia avanzata con protoni (o adroterapia), che permette di diminuire notevolmente le dosi di radiazioni ionizzanti nei tessuti sani in prossimità del target da irradiare. Questo effetto è dovuto al principio fisico secondo il quale un fascio di raggi X inizia a rilasciare la maggior parte della propria energia appena penetra nel corpo del paziente uscendo poi dalla parte opposta, mentre un fascio di protoni monoenergetici viene assorbito prevalentemente in una zona molto circoscritta ove si trova il volume bersaglio, lasciandovi la maggior parte della propria energia (picco di Bragg). Sebbene siano evidenti i vantaggi in termini di trattamento terapeutico, la tecnica non è largamente diffusa a causa degli elevati costi e della complessità realizzativa di un sistema per terapia adronica. Infatti il cuore del sistema è costituito da acceleratori di grandi dimensioni e costi, raffigurati in figura 1 e 2, che permettono ai protoni di raggiungere energie sino ai 250MeV . Tali energie sono indispensabili per il raggiungimento di volumi-bersaglio abbastanza profondi [1,2]

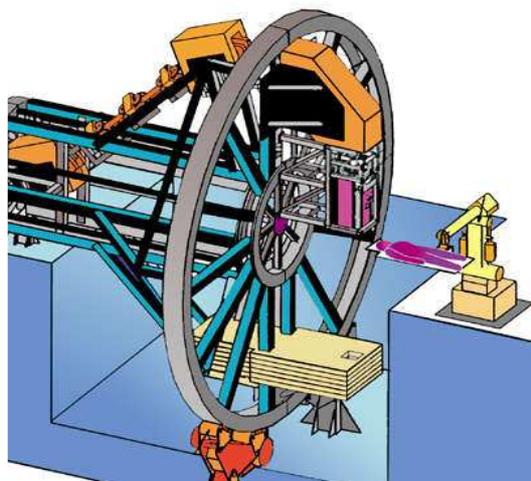


Figura 1. Schema di testata isocentrica

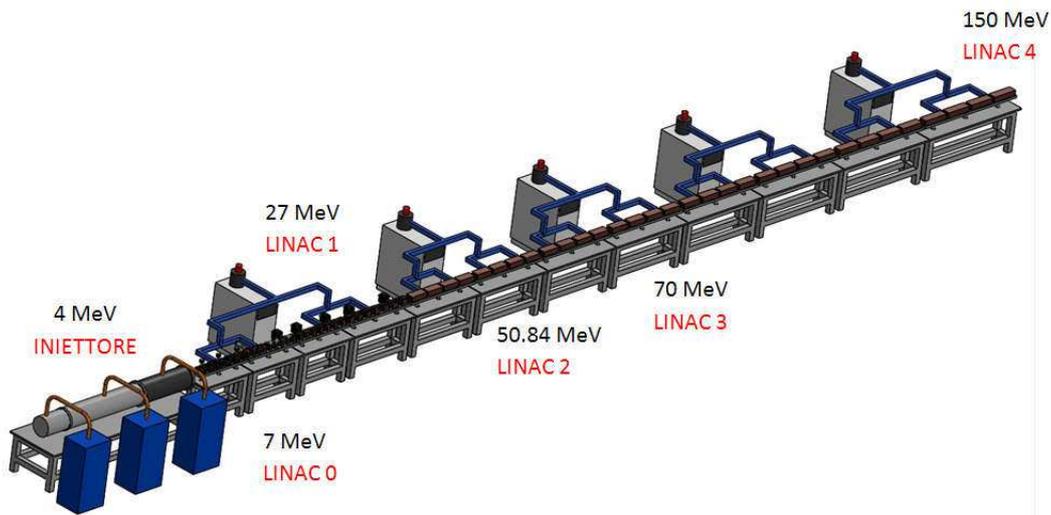


Figura 2. Acceleratore lineare di particelle LINAC

Data la caratteristica del protone di rilasciare quasi completamente la sua energia in un punto, è di importanza vitale conoscere da un lato l'esatta posizione del target da irradiare, dall'altro monitorare con estrema precisione la dose rilasciata. La tecnica scelta per il monitoraggio della dose è molto spesso la PET (Proton Emission Tomography), che è il classico strumento di indagine per la rilevazione dei fotoni gamma back-to-back prodotti dalle interazioni atomiche tra i proiettili utilizzati, in questo caso i protoni, e il tessuto target. Al fine di monitorare la posizione e l'intensità del fascio, invece, nel progetto AMIDERHA è stato proposto l'allestimento di un rivelatore basato su una Time Projection Chamber costruita mediante dispositivi GEM, che garantisce debolissime interazioni con il fascio stesso, preservandone le caratteristiche fondamentali. Partendo dallo studio del segnale in uscita dai rivelatori GEM e dalle specifiche che l'elettronica di lettura deve garantire per soddisfare le esigenze del sistema di monitoraggio del fascio, è stato realizzato un ASIC a 32 canali dedicato alla lettura delle GEM per questo tipo di applicazioni.

Il singolo canale analogico è basato sulla classica catena di elaborazione formata da un preamplificatore di carica (Charge Sensitive Preamplifier, o CSA), che fornisce in uscita un livello di tensione proporzionale alla carica contenuta nel segnale in corrente generato dal rivelatore, garantendo ottime prestazioni in termini di rumore equivalente in ingresso, e da un filtro formatore (shaper), la cui funzione è quella di ottimizzare il rapporto segnale rumore del front-end. L'uscita dello shaper viene inviata a un comparatore per confrontarla con una soglia programmabile V_{th} : quando il segnale supera la soglia, l'uscita del comparatore scatta, segnalando l'arrivo di un evento valido. Le uscite dei 32 comparatori sono inviate in ingresso a una porta OR veloce, che fornisce in uscita un livello di tensione alto quando almeno uno dei canali va sopra soglia e allo stesso tempo

produce un segnale di trigger, utilizzato per segnalare la presenza di un evento valido in almeno uno dei canali del chip. L'uscita dello shaper, il cui picco è proporzionale alla carica integrata nel CSA, viene inviata anche a un rivelatore di picco (PD), che quindi conserva nel tempo l'informazione relativa alla carica stessa e si comporta come una memoria analogica. Le uscite dei 32 PD sono gli ingressi di un multiplexer a 32 canali, che, in dipendenza della sua configurazione, presenta una delle uscite a un convertitore analogico-digitale (ADC) a 8 bit, in grado di convertire il livello di tensione sull'uscita al PD in una parola digitale.

Si è affrontato il problema dell'adattamento del range dinamico della tensione di uscita del peak detector, alla dinamica di ingresso dell'ADC, in modo da sfruttarne il più possibile le prestazioni in termini di risoluzione.

Le varie fasi di progettazione dei singoli blocchi circuitali componenti l'ASIC, le soluzioni architettoniche adottate e le scelte progettuali effettuate sono descritte nel dettaglio nei capitoli della tesi.

Per la gestione delle fasi di lettura del circuito integrato è stata sviluppata una opportuna logica di controllo a partire da una sua descrizione comportamentale in linguaggio VHDL, sino alla sintesi strutturale (o gate level) e al piazzamento e routing automatico delle porte digitali a livello layout. E' stato quindi sviluppato un set-up sperimentale basato su una scheda di front-end che ospita il prototipo dell'ASIC e su una scheda di sviluppo FPGA e sono state effettuate una serie di misure di caratterizzazione i cui risultati verranno descritti nella parte finale del lavoro di tesi.

Nel capitolo 1 è presentata un'introduzione ai rivelatori a gas con particolare attenzione rivolta alle GEM ed alle prestazioni che questi rivelatori possono raggiungere. Si introduce inoltre l'architettura elettronica utilizzata classicamente per leggere l'informazione energetica dei rivelatori a gas e si discutono le prestazioni che un front-end elettronico deve soddisfare in termini di rumore.

Nel capitolo 2 è presentata l'architettura di canale, descritta in dettaglio nei suoi blocchi costituenti. Il capitolo 3 contiene la descrizione dell'architettura dell'ASIC e le sue peculiarità funzionali gestite a livello logico dall'unità di controllo digitale. Infine nella parte finale del lavoro di tesi, sono introdotti il setup di misura e i risultati sperimentali ottenuti.

Capitolo 1 Rivelatori di particelle a Gas

1.1 Introduzione ai rivelatori Gas Electron Multiplier (GEM)

La moderna fisica delle alte energie richiede apparati di grandi dimensioni e precisione in cui trovano applicazione rivelatori ad elevate prestazioni, innovative architetture elettroniche di *read-out*, sistemi complessi di acquisizione ed elaborazione dei dati misurati. In molte applicazioni nelle quali è richiesto di rilevare particelle ad elevate energia ed alto *rate*, trovano impiego i cosiddetti Gas Electron Multipliers (GEM), costituiti da un sottile foglio polimerico rivestito da metallo su entrambe le facce in modo da realizzare due elettrodi estesi, sul quale sono praticate, mediante processo di *etching*, delle aperture regolari (o canali) [3].

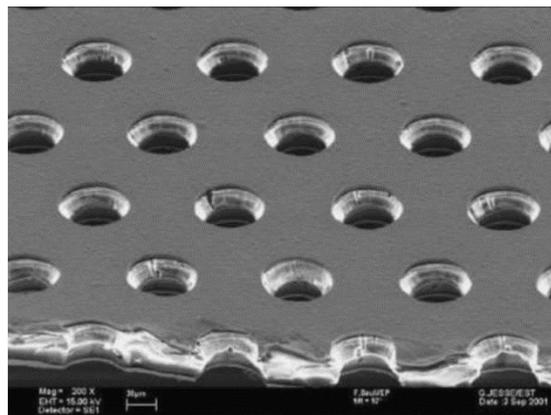


Figura 1.1: Foto al microscopio di una GEM tipica di spessore $50\mu\text{m}$, con pitch e diametro delle fessure rispettivamente pari a $140\mu\text{m}$ e $70\mu\text{m}$.

Tra gli elettrodi della GEM è applicata una elevata differenza di potenziale, in modo tale che gli elettroni generati per ionizzazione da impatto da particelle energetiche che attraversano il gas in cui la GEM è immersa, possano driftare verso l'anodo e moltiplicarsi attraversando le regioni ad elevato campo elettrico prodotte dalle aperture nel polimero.

La GEM si è sviluppata come evoluzione della *Multiwire Proportional Chamber* (MWPC), un rivelatore a gas costituito da una griglia di sottili fili paralleli collegati ad un elevato potenziale positivo in modo tale possa raccogliere e moltiplicare, per moltiplicazione a valanga, gli elettroni generati nel gas da radiazione ionizzante. Uno schema di principio di una MWPC è mostrato in figura 1.2.

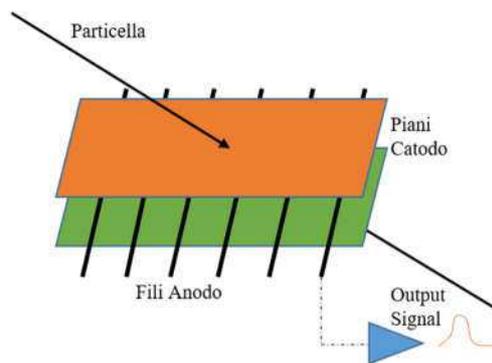


Figura 1.2: Schema di principio di una MWPC. Attraverso il metodo del centro di gravità è possibile individuare la posizione della valanga di elettroni instaurata a seguito dall'interazione della particella incidente e il gas in cui è immerso il detector.

Il principio alla base delle MWPC è stato largamente utilizzato in molti esperimenti, sfruttando in particolare le sue capacità come contatore di elettroni raccolti o di misura del tempo di deriva all'anodo [4]. Tuttavia la MWPC ha diverse limitazioni legate intrinsecamente alla sua struttura. Il processo di moltiplicazione libera ioni positivi che, se presenti in grande quantità nel gas, possono degradare l'azione del campo elettrico, diminuendo l'efficienza di moltiplicazione a valanga degli elettroni, con conseguente diminuzione del guadagno del rivelatore [5]. I rivelatori a gas sono soggetti a rapido invecchiamento ed infatti sono stati osservati la nascita di danni locali permanenti che procurano scariche auto-sostenute, aumento eccessivo delle correnti, graduale perdita di risoluzione energetica e riduzione e non uniformità del guadagno nel gas. Queste osservazioni hanno portato ad associare il problema con la presenza di strati di materiale depositati sugli elettrodi ed indotti probabilmente da inquinanti presenti nel sistema di iniezione del gas o introdotti durante la costruzione della camera a fili o semplicemente presenti nel gas stesso [6]. Questi problemi sembravano superati dai rivelatori di tipo Micro-Strip Gas Counter (MSGC) [7]. Gli MSGC sono costituiti da *strip* metalliche parallele, immerse in un materiale isolante e collegate in maniera alterna come anodo o catodo. Gli MSGC sono capaci di mantenere un guadagno stabile se sottoposti ad elevate *rate*, anche al di sopra di $10^6 \text{mm}^{-2} \text{s}^{-1}$ [8]. Tuttavia, le camere a microstriscia hanno mostrato di essere suscettibili a scariche distruttive, anche se piuttosto rare [9]. Dallo sforzo volto a realizzare strutture che conservino e uniscano elevate *rate* di funzionamento, eccellente risoluzione spaziale, buona granularità ed allo stesso tempo cerchino di ridurre i problemi intrinseci dei rivelatori a gas, nascono i Micro-Pattern Gas Detectors (MPGD) alla categoria dei quali appartengono le GEM e che sono ancora oggi oggetto di studio.

I problemi di rottura e invecchiamento dei rivelatori a gas sono legati principalmente alla fragilità degli elettrodi. Infatti per raggiungere guadagni elevati, tipicamente maggiori di 10^4 , e quindi dar vita

al processo di moltiplicazione a valanga sono necessari elevati campi elettrici. In queste condizioni, quando si verifica un evento altamente ionizzante, si può dar vita ad una densità locale di carica che supera il limite di Rather (10^7 coppie ione-elettrone) e che può condurre ad una scarica a volte distruttiva. Le GEM soffrono meno del problema appena descritto, in quanto il campo elettrico che agisce nella camera tra gli elettrodi è redistribuito e per una GEM semplice possiamo individuare tre regioni fondamentali, come è possibile osservare nella figura 1.3:

- una regione di deriva in cui avviene la ionizzazione da impatto nel gas mentre le coppie elettrone-ione generate driftano lungo la direzione del campo elettrico;
- una regione a forte campo elettrico legato alla elevata differenza di potenziale applicata ai due estremi della GEM ed alla elevata densità di linee di campo in prossimità delle aperture nel rivelatore. Tale regione è responsabile del guadagno della GEM;
- infine una regione di raccolta dello sciame di elettroni, in prossimità dell'anodo collegato al potenziale maggiormente positivo. Questa soluzione riduce la possibilità che avvengano scariche distruttive in direzione del front-end elettronico di lettura.

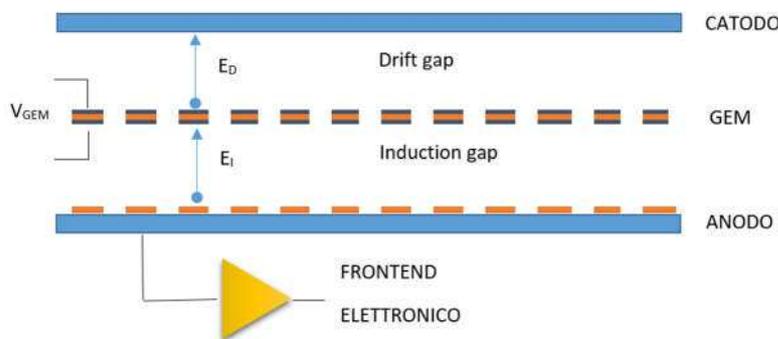


Figura 1.3. Schema di base di una struttura GEM.

1.2 Cenni di fisica dei rivelatori a gas

La maggior parte dei rivelatori a gas sono capaci di rilevare la ionizzazione creata dal passaggio di una radiazione, producendo come uscita un segnale elettrico legato alla carica prodotta nel gas.

1.2.1 Processo di ionizzazione

Quando una particella ionizzante passa attraverso un gas, vengono prodotti elettroni liberi e ioni in quantità che dipende dal numero atomico, dalla densità e dal potenziale di ionizzazione del

gas e dalla carica e dalla energia della particella incidente. Il numero di coppie ione-elettrone (i.p. o ion pair) per unità di lunghezza prodotte come generazione primaria si denota con n_p . Le particelle prodotte possono avere sufficiente energia da innescare una ulteriore generazione. Il numero complessivo di coppie generate per unità di lunghezza si denota con n_t . Questi valori sono stati misurati e tabulati per diversi gas.

Il numero totale di coppie generate può essere espresso come [12]:

$$n_t = \frac{\Delta E}{W_i} \quad (1.1)$$

dove ΔE è l'energia rilasciata nel gas e W_i è l'energia media richiesta per produrre una coppia.

In tabella 1.1 sono riportati valori di W_i per diversi gas.

Tabella 1.1 valori dell'energia media richiesta per produrre una coppia ione-elettrone W_i per i gas principalmente utilizzati nei rivelatori (valori NTP, cioè riferiti a condizioni normali di temperatura e pressione)

Gas	E_i (eV)	W_i (eV)	dE/dx (keV cm ⁻¹)	n_p (cm ⁻¹)	n_t (cm ⁻¹)
Ar	15.7	26	2.44	23	94
He	24.5	41	0.32	4.2	8
CF4	15.9	54	7	51	100
DME	10	23.9	3.9	55	160
CO2	13.7	33	3.01	35.5	91

In tabella 1.1 E_i è l'energia di ionizzazione del gas, mentre la quantità dE/dx rappresenta l'energia media persa nel gas per unità di lunghezza. In presenza di una miscela di gas può essere fatta una media pesata per il calcolo del valore efficace di n_t e n_p :

$$n_t = \sum_j p_j \frac{\left(\frac{\partial E}{\partial x}\right)_j}{W_{i_j}} \quad (1.2)$$

dove p_j rappresenta la frazione del gas j nella miscela.

Per esempio in Ar-CO₂ 70/30 il numero di coppie totali generate per cm sarà:

$$n_t = \frac{0.7 \cdot 2.44 \cdot 10^3}{26} + \frac{0.3 \cdot 3.01 \cdot 10^3}{33} \cong 93 \frac{i.p}{cm} \quad (1.3)$$

1.2.2 Tipi di interazioni di specie cariche in gas

Le principali interazioni che avvengono tra molecole, elettroni liberi, ioni all'interno di gas e che influenzano il comportamento dei rivelatori a gas possono essere riassunte in figura 1.4[13].

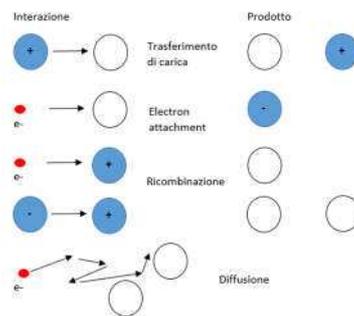


Figura 1.4. Tipi di interazione delle particelle cariche nei gas

Gli atomi neutri o le molecole del gas sono in costante agitazione termica, caratterizzata da un cammino libero medio che in condizioni standard è circa 10^{-8} - 10^{-6} m. Ioni positivi ed elettroni liberi generati prendono parte a questo movimento e tendono a diffondere lontano dalla regione ad elevato campo. Gli elettroni sono più sensibili a questo processo di diffusione, in quanto si muovono mediamente più velocemente nel gas. A partire dal punto di ionizzazione, gli elettroni generati saranno spazialmente distribuiti secondo una distribuzione gaussiana la cui larghezza aumenterà nel tempo. La deviazione standard σ della distribuzione è definita come:

$$\sigma = \sqrt{2D \cdot t} \quad (1.4)$$

dove D è il coefficiente di diffusione degli elettroni nel gas, mentre t è il tempo considerato.

Quando uno ione positivo collide con una molecola neutra può avvenire un trasferimento di carica: la molecola cede un elettrone e si completa un'inversione in termini di carica tra le due parti.

Gli elettroni liberi che diffondono nel gas generano diverse collisioni. In alcune specie di gas c'è la tendenza a formare ioni negativi dall'unione di elettroni liberi a molecole neutre di gas. L'ossigeno è un esempio di molecola che attrae elettroni, infatti elettroni liberati nell'aria vengono subito convertiti in ioni negativi.

Collisioni tra ioni positivi ed elettroni liberi possono portare a ricombinazione nella quale l'elettrone è catturato dallo ione positivo e porta ad uno stato di neutralità della carica. La ricombinazione può avvenire anche tra uno ione positivo ed uno ione negativo: un elettrone è trasferito allo ione positivo ed entrambi gli ioni sono neutralizzati. In entrambi i casi la carica della coppia originale è persa e non contribuisce alla formazione del segnale nel detector.

L'applicazione di un campo esterno si oppone al moto caotico per agitazione termica delle particelle cariche, spostandole lungo la direzione del campo elettrico. Se il campo è forte abbastanza, ioni ed elettroni liberi non si ricombineranno o non si congiungeranno alle molecole del mezzo. Per questo motivo è molto importante la scelta di un appropriato gas caratterizzato da una specifica velocità di *drift* al variare dell'intensità del campo applicato. Di seguito, in figura 1.5, sono riportati gli andamenti delle velocità di *drift* e di diffusione per due miscele comunemente utilizzate nei rivelatori a gas.

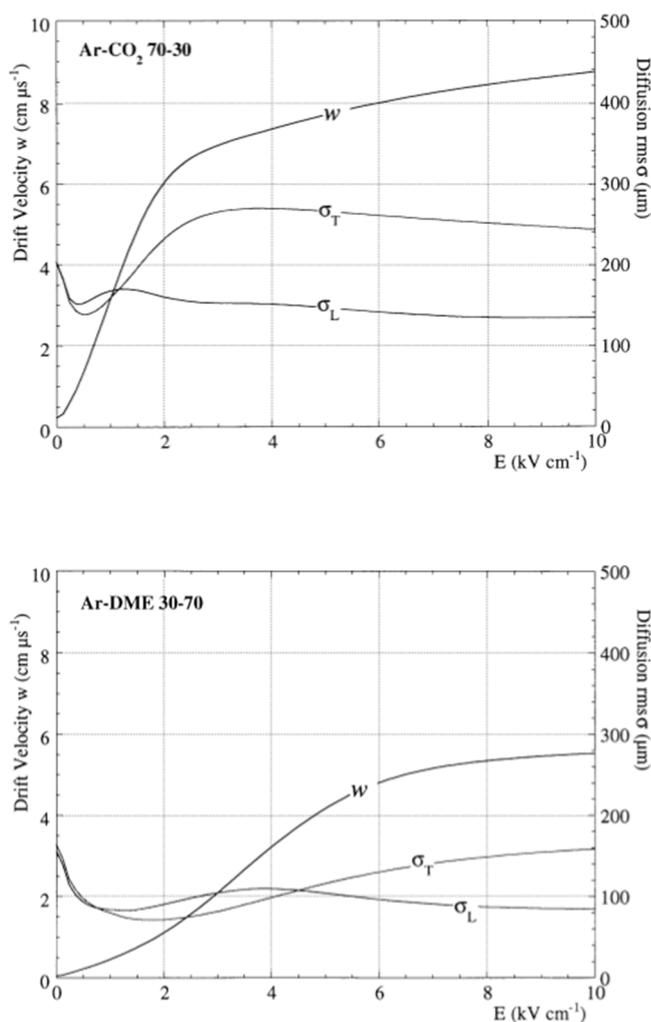


Figura 1.5: Velocità di drift e diffusione in Ar-CO₂ 70-30 e Ar-DME 30-70.

1.2.3 Formazione della valanga

La moltiplicazione di cariche in un gas è conseguenza dell'applicazione di un elevato campo elettrico. Le i.p. associate alla generazione primaria sono accelerate sotto l'azione del campo elettrico, driftando verso i rispettivi elettrodi. Lungo la direzione dello spostamento le cariche possono collidere con atomi neutri del gas. Gli ioni, caratterizzati da una bassa velocità di drift, non acquisiscono elevate energie e dunque danno luogo a collisioni a bassa energia. D'altro lato, gli elettroni acquisiscono più facilmente energia e possono liberarla in una collisione con un atomo neutro. Se l'energia della collisione, supera l'energia di ionizzazione del gas, la collisione dà luogo a nuove ion-pairs. Poiché l'energia degli elettroni aumenta con il campo elettrico applicato, esiste una soglia al di sopra della quale può avvenire una generazione secondaria (tipicamente nell'ordine di 10^6 V/m). Le nuove specie prodotte driftano lungo il campo elettrico e nuovamente possono produrre per collisione coppie secondarie in un processo a cascata noto come "Townsend avalanche".

La variazione relativa del numero di elettroni per unità di lunghezza è descritta dall'equazione di Townsend:

$$\frac{dn}{n} = \alpha \cdot dx \quad (1.5)$$

dove il coefficiente α di Townsend per valori sotto la soglia è pari a 0 mentre al di là di questo limite incrementa con il campo elettrico. Se il campo elettrico è distribuito uniformemente nello spazio, come nel caso del campo tra piatti piani paralleli, α è costante. La soluzione della precedente equazione conduce alla concentrazione di i.p. ad una distanza x durante il processo di valanga:

$$n(x) = n_0 \cdot e^{\alpha \cdot x} \quad (1.6)$$

I rivelatori (come le GEM) che lavorano in regime di valanga, raccolgono una quantità di elettroni proporzionale al numero originale di ion-pairs n_0 (o n_t) generati dalla radiazione ionizzazione incidente. Per questo motivo essi sono chiamati proportional counter.

1.2.4 Risoluzione energetica di un proportional counter

Dalla soluzione dell'equazione di Townsend, applicata ad una particolare geometria, possiamo ricavare la carica totale raccolta a partire dal numero n_0 di ion-pairs primari, generate in condizioni

di assenza di effetti di carica spaziale (che possono distorcere il campo elettrico) e più in generale di non linearità:

$$Q = n_0 e G_i \quad (1.7)$$

dove G_i è il guadagno intrinseco del gas che caratterizza il rivelatore.

In queste condizioni possiamo assumere che la carica totale Q sia somma delle cariche generate da ogni singola valanga e quindi avremo n_0 valanghe. In pratica G_i rappresenta il valore medio dei guadagni generati da ogni singola valanga A_i :

$$G_i = \frac{1}{n_0} \sum_i^{n_0} A_i = \bar{A} \quad (1.8)$$

La carica Q sarà soggetta a fluttuazione in quanto sia G_i che n_0 variano statisticamente, anche in condizione di identica energia depositata nel gas.

Supponendo siano n_0 e G_i indipendenti, possiamo ricorrere alla formula di propagazioni dell'errore per valutare la varianza in Q :

$$\left(\frac{\sigma_Q}{Q} \right)^2 = \left(\frac{\sigma_{n_0}}{n_0} \right)^2 + \left(\frac{\sigma_{G_i}}{G_i} \right)^2 \quad (1.9)$$

È conveniente riscrivere il secondo termine a destra tenendo presente la relazione (1.8). In questa maniera:

$$\left(\frac{\sigma_Q}{Q} \right)^2 = \left(\frac{\sigma_{n_0}}{n_0} \right)^2 + \frac{1}{n_0} \left(\frac{\sigma_A}{A} \right)^2 \quad (1.10)$$

Dunque la varianza della carica è espressa come somma di un contributo legato alle variazioni del numero di coppie primarie n_0 ed ad un contributo legato alla variazione nel guadagno della valanga A . Il fattore di Fano F permette di descrivere la varianza delle coppie primarie generate:

$$\left(\frac{\sigma_{n_0}}{n_0} \right)^2 = \frac{F}{n_0} \quad (1.11)$$

La valutazione del secondo termine è stato oggetto di diversi studi teorici e sperimentali. Un modello statistico proposto da Byrne, valido per elevati campi elettrici, utilizza una distribuzione Polya (distribuzione binomiale negativa):

$$P(A) = \left(\frac{A(1+\theta)}{A} \right)^{\theta} \exp\left(-\frac{A(1+\theta)}{A} \right) \quad (1.12)$$

dove θ è un parametro legato alla frazione di elettroni con energia superiore a quella di ionizzazione del gas ed è nel range tra 0 ed 1. A questa distribuzione corrisponde una varianza pari a

$$\left(\frac{\sigma_A}{A} \right)^2 = \frac{1}{A} + b \quad (1.13)$$

Con $b = (1+\theta)^{-1}$ (il valore di b osservato è circa 0.5). Per valori grandi di A la varianza ricercata è prossima a b .

Combinando le precedenti relazioni si ottiene:

$$\left(\frac{\sigma_Q}{Q} \right)^2 \cong \frac{1}{n_0} (F + b) \quad (1.14)$$

Sostituendo l'equazione (1.1) nella precedente e definendo la quantità $C = W(F+b)$, costante per un dato gas, possiamo ottenere:

$$\frac{\sigma_Q}{Q} = \sqrt{\frac{C}{\Delta E}} \quad (1.15)$$

Dalla (1.15) si osserva che il limite della risoluzione energetica di un *proportional counter* varia inversamente con la radice dell'energia depositata. In Tabella 2.1 è possibile osservare alcuni esempi di risoluzioni energetiche raggiunte dai *proportional counter* per diversi gas utilizzati, mentre in figura 1.6 è mostrato lo spettro del ^{55}Fe letto per mezzo di una GEM immersa in una miscela di Ar-DME 80-20 ove la risoluzione raggiunta è pari a circa 17%.

Tabella 2: Risoluzione energetica e relative costanti in alcuni gas utilizzati in *proportional counter*.

Gas	W_i [eV]	Fattore F		Fattore b	Risoluzione energetica a 5.9keV	
		Calcolato	Misurato		Calcolata	Misurata
Ne	36.2	0.17	-	0.45	14.5%	-
Ar	26.2	0.17	-	0.5	12.8%	-
Ar+0.5% C ₂ H ₂	20.3	0.075	<0.09	0.43	9.8%	12.2%
Ar+10% CH ₄	26	-		0.5	12.8%	13.2%

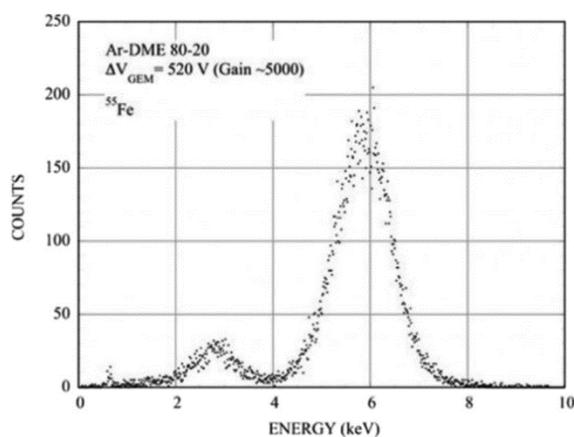


Figura 1.6: Spettro di una sorgente a 5.9keV, letta per mezzo di una singola GEM.

1.3 Gas Electron Multiplier

1.3.1 Geometria e fabbricazione di una GEM

Sugli elettrodi delle GEM vengono realizzati fori regolari disposti in file parallele. Il polimero utilizzato per la fabbricazione è il Kapton con un spessore solitamente di 50 μ m e rivestito su entrambi i lati da superfici in rame dello spessore di 5 μ m. In figura 1.7 è possibile osservare un esempio di GEM a scavi biconici in cui è possibile osservare le principali dimensioni della struttura.

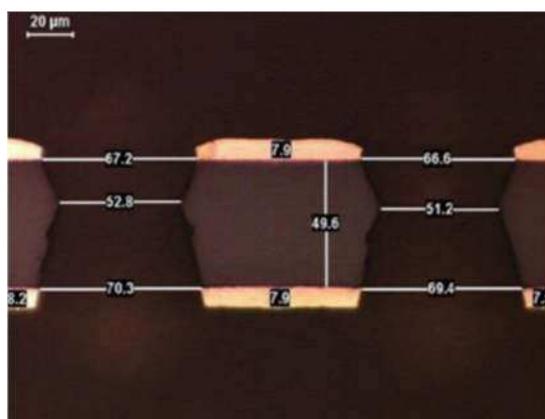


Figura 1.7: *Cross section* di una GEM a scavi biconici.

La maggior parte delle strutture GEM sono realizzate con un processo a singola o doppia maschera. La matrice di fessure è realizzata con tecnica fotolitografia applicata sul metallo di entrambi i lati del

foglio di kapton; i canali sono dunque scavati con uno specifico solvente del polimero utilizzando come maschera il pattern realizzato precedentemente. I passi di processo sono riassunti in figura 1.8 [10].

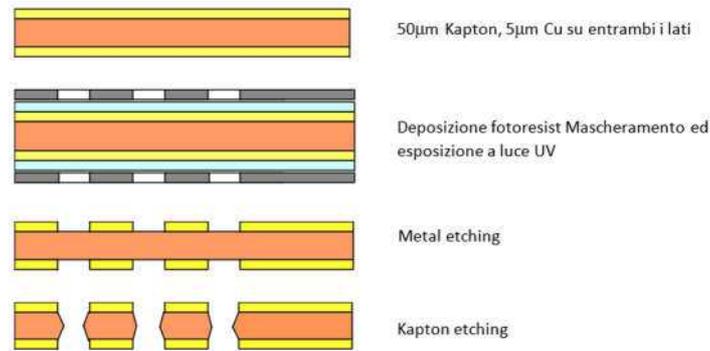


Figura 1.8. Processo di fabbricazione GEM a singola maschera.

L'attacco chimico delle regioni non mascherate del polimero realizza su entrambi i lati della fessura una tipica forma a doppio cono, con il diametro della sezione interna leggermente più piccolo del diametro esterno. Per ottenere una elevata qualità ed evitare pericoli strutturali legati all'attacco chimico, la larghezza del diametro è solitamente limitata a 2/3 della distanza inter-foro.

1.3.2 Trasparenza ottica ed elettrica

La trasparenza ottica di un rivelatore GEM, è il rapporto tra l'area aperta e l'area totale ed è data dall'espressione 1.16[11]:

$$\tau = \frac{\pi D^2}{2\sqrt{3} \cdot P^2} \quad (1.16)$$

assumendo fori cilindrici di diametro D e distanza P . A causa di effetti di perdita il numero di elettroni trasferiti all'anodo è inferiore di quello generato e di conseguenza il guadagno efficace è inferiore a quello intrinseco del rivelatore.

Per una GEM è possibile definire un'efficienza di collezione:

ε_{coll} = elettroni entranti nel canale/elettroni prodotti al disopra del canale

Risultati sperimentali hanno dimostrato effetti di dispersione della carica elettronica, che tende ad accumularsi sul piatto inferiore della GEM, e di quella associata agli ioni, che tendono a concentrarsi su quello superiore [14]. Questo conduce inevitabilmente ad una perdita di efficienza di collezione nella regione di induzione.

Si definisce inoltre frazione di estrazione f_{extr} il seguente parametro:

f_{extr} = elettroni estratti dal canale/elettroni prodotti nel canale.

La definizione delle due quantità precedenti permette di esprimere il guadagno efficace direttamente in funzione del guadagno intrinseco del rivelatore G_i :

$$G_{eff} = G_i \cdot T = G_i \cdot \varepsilon_{coll} \cdot f_{extr} \quad (1.17)$$

dove T è chiamata trasparenza elettronica.

La trasparenza ottica (e quindi la geometria della GEM) influenza l'efficienza di collezione o trasparenza elettronica T. Se tutte le linee di campo passano dalla regione di drift a quella di induzione possiamo ipotizzare una efficienza di raccolta o trasparenza pari al 100%. Figura 1.9 mostra l'andamento delle linee di campo di GEM in condizioni tipiche di funzionamento.

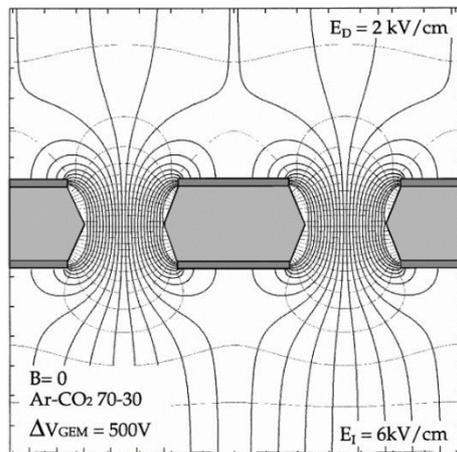


Figura 1.9: Linee di campo nei canali della GEM in tipiche condizioni di funzionamento.

Per una data geometria, l'estensione della regione efficiente di raccolta di elettroni (o trasparenza elettronica) dalla regione di *drift*, dipende dalla tensione applicata alla GEM e alla regione di drift, ma è quasi indipendente dal campo nella regione di induzione (o di raccolta). In figura 1.10 è mostrata

la trasparenza elettronica in funzione del campo E_D per due diversi valori del campo di induzione mantenendo costante la geometria.

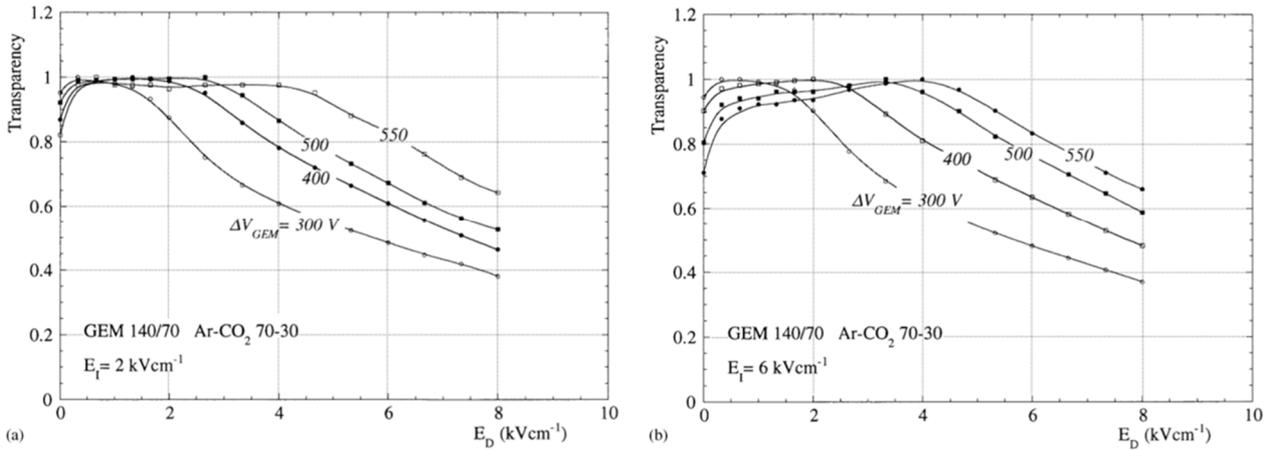


Figura 1.10 Trasparenza elettronica in funzione del campo di *drift* per due diversi valori di campo nella regione di induzione.

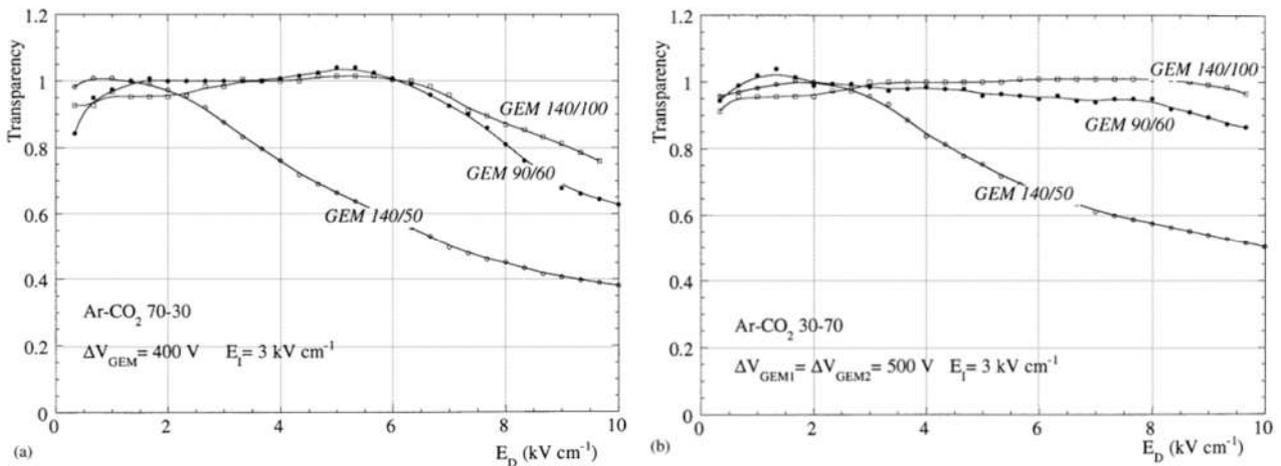


Figura 1.11: Trasparenza elettronica in funzione del campo di drift per due diversi valori di campo V_{GEM} al variare della trasparenza ottica.

Come si può estrapolare dalla figura 1.11, all'aumentare della trasparenza ottica, aumenta il range di valori di campo elettrico E_D per il quale la trasparenza elettronica è prossima al 100%. Nell'esempio di figura 1.11 vediamo a confronto tre GEM con differenti geometrie 140/50 ($\tau=0.12$), 90/60 ($\tau=0.4$), e 140/100($\tau=0.46$). Le tre strutture sono immerse in una miscela 70-30 di Ar-CO₂ e lavorano a pari condizioni operative. A fronte di una trasparenza elettronica circa ideale per le GEM con trasparenza ottica maggiore, bisogna tuttavia considerare che la GEM 140/50 riporta un guadagno circa cinque

volte superiore rispetto alle altre due considerate nell'esempio. In ogni caso, avere elevata efficienza di raccolta, per campi elevati sino a 10kVcm^{-1} , è molto utile in quelle applicazioni dove il detector è immerso in un forte campo magnetico, poiché l'elevata velocità di drift può compensare le deviazioni legate alla forza di Lorentz, ed evitare perdita di elettroni per diffusione laterale [15].

1.3.3 Guadagno di una GEM: fattori geometrici e dipendenza dal campo esterno

Per valutare il guadagno della GEM è possibile utilizzare una sorgente a raggi X, misurando prima separatamente la corrente di segnale I_s prodotta dagli elettroni raccolti e la *rate* degli eventi R di una sorgente quasi-monocromatica a raggi X. Il guadagno è poi valutato come rapporto tra la corrente I_s e il prodotto $e \cdot n_t \cdot R$ dove e ed n_t sono rispettivamente la carica elettrica elementare ed il numero di coppie generato dalla sorgente, ricavabile dalla (1.1). Come si osserva dalle misure sperimentali in figura 1.12, il guadagno aumenta esponenzialmente con la tensione applicata alla GEM ed è influenzato dai parametri geometrici e dal campo esterno.

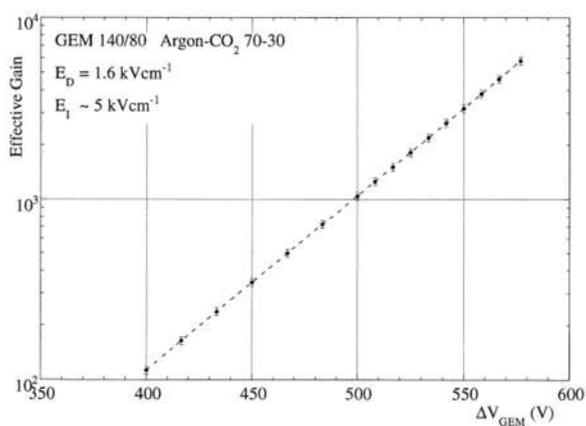


Figura 1.12: Guadagno efficace di una GEM in tipiche condizioni operative in funzione della tensione di polarizzazione.

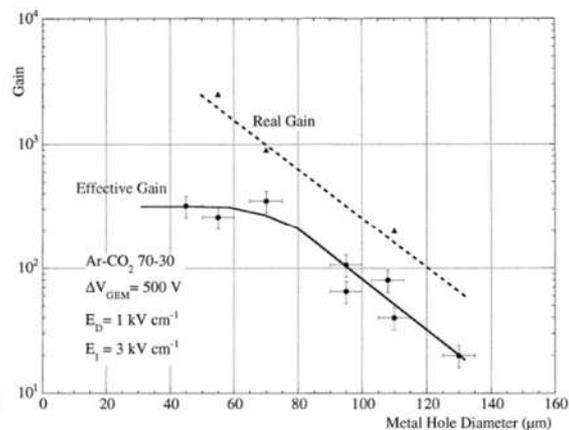


Figura 1.13: Guadagno efficace in funzione delle dimensioni della GEM.

La figura 1.13 riporta una raccolta di dati sperimentali sul valore del guadagno efficace al variare del diametro delle fessure mentre tutti gli altri parametri rimangono costanti. Il guadagno aumenta al diminuire del diametro in quanto le linee di campo nella fessura diventano più dense e parallele avvicinandosi alla condizione ideale di campo fra due piatti paralleli. Attorno ai $70\mu\text{m}$, il guadagno

raggiunge un plateau. Infatti per valori via via decrescenti del diametro dei canali, cominciano a verificarsi fenomeni di perdita di elettroni che compensano l'aumento del guadagno.

Il guadagno efficace aumenta quasi linearmente con l'intensità del campo nella regione di induzione. Per valori di campo superiore a 15kVcm^{-1} nella regione si instaurano processi di moltiplicazione a valanga, quindi anche se si ha un considerevole aumento del guadagno della GEM questa situazione è indesiderata perché potenzialmente distruttiva, in quanto possono instaurarsi fenomeni di scarica verso l'anodo. All'aumento della corrente di elettroni sull'elettrodo di segnale I_s corrisponde un pari incremento nel verso opposto della corrente I_b sull'elettrodo inferiore della GEM per campi di induzione via via crescenti. La somma di questi contributi porta alla corrente totale $I_{TOT} = I_b + I_s$ nella GEM, da cui dipende il guadagno reale raffigurato in figura 1.13. La corrente totale I_{TOT} è solo leggermente influenzata dal campo di induzione.

1.3.4 Strutture multi-GEM

Per incrementare il guadagno del rivelatore è possibile realizzare strutture costituite da più GEM che si susseguono in cascata: scegliendo opportunamente geometrie, distanze tra i fogli e campi elettrici applicati è possibile ottenere guadagni superiori a 10^4 [16]. Il grosso vantaggio di una struttura multi-GEM, come quella tripla raffigurata in figura 1.14, è la possibilità realizzare un dato guadagno distribuendo i campi elettrici tra i diversi moduli ed in questo modo stressare meno gli elettrodi, con conseguenti benefici in termini di durata della vita di funzionamento del rivelatore. In figura 1.15 si possono osservare diversi valori di guadagno raggiunti in una GEM tripla al variare della tensione totale applicata alle GEMs e al variare della concentrazioni nella miscela di gas.

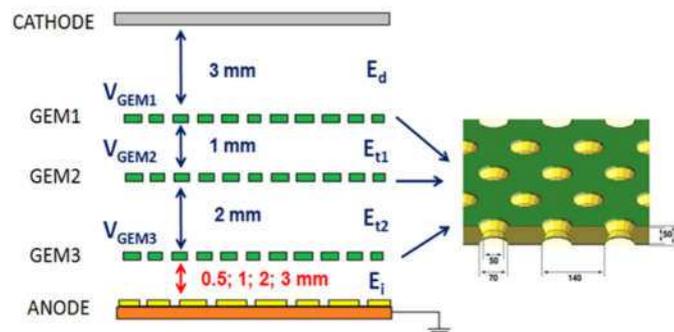


Figura 1.14: Struttura schematica di una GEM tripla.

Inoltre la struttura del detector confina intrinsecamente gli ioni lontano dalla regione di raccolta degli elettroni, generando forme d'onda più ripide per gli impulsi di corrente di uscita.

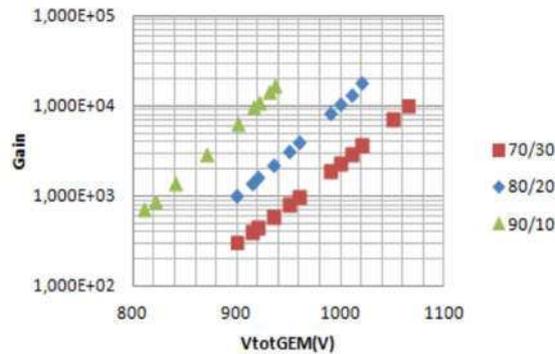


Figura 1.15: Guadagno di una tripla GEM in funzione della tensione totale applicata alle GEM, per diverse concentrazioni della miscela di gas 70/30, 80/20, 90/10.

La Triple Gas Electron Multiplier può essere classificata come un *proportional counter*, infatti è possibile polarizzare la struttura in una regione di funzionamento nella quale la carica prodotta in uscita è proporzionale all'energia depositata. Questa caratteristica permette di utilizzare le GEM sia come semplice contatore di eventi che per misure spettrali.

1.3.5 Fenomeno del positive ion backflow

A causa della direzione del campo elettrico, esiste una corrente di ioni positivi verso il catodo del rivelatore. Gli ioni sono generati nella regione di *drift* ed in quella di moltiplicazione. Tali ioni si muovono in direzione opposta alla corrente utile di elettroni e possono causare danni fisici e chimici nel rivelatore, perturbando le sue performance a causa di accumuli locali di carica sulle superfici. Inoltre l'aumento della popolazione di ioni nella regione di *drift* porta ad una riduzione dell'efficienza di collezione degli elettroni. La quantità chiamata *ion backflow* è la frazione di ioni generati nella regione di moltiplicazione a valanga che raggiunge l'elettrodo di *drift* o anche il rapporto tra la corrente di ioni sul catodo e la corrente di elettroni misurata sull'elettrodo della regione di induzione. Differenti studi hanno dimostrato che il parametro più efficace che contribuisce alla riduzione dell'*ion backflow* è il campo di deriva E_D [5,17]. La riduzione del flusso inverso di ioni è inoltre sensibile a parametri geometrici, alla miscela del gas, alla sua pressione.

1.3.6 Formazione del segnale

La forma dell'impulso prodotto dal flusso di cariche in rivelatori di geometria arbitraria può essere descritta mediante il teorema di Ramo.

La corrente $i(t)$ fluisce in un particolare elettrodo per effetto di una carica q che si muove con velocità di drift v_d . Sia E_w il campo definito ponendo l'elettrodo ad un potenziale di 1V e cortocircuitando verso massa tutti gli altri, in assenza di carica. Il campo E_w mostra l'accoppiamento della carica ad un specifico elettrodo. Se si suppone assenza di diffusione laterale, e questo è molto probabile se il gap su cui influisce il campo elettrico è piccolo a sufficienza ed il campo stesso è elevato, gli elettroni che costituiscono la carica q si sposteranno strettamente lungo la direzione z perpendicolare all'elettrodo. In questo caso la corrente è pari a

$$i = -q(\vec{E}_w)_z (\vec{v}_d)_z \quad (1.18)$$

Una GEM non ha idealmente ioni positivi nella regione di induzione, infatti sia gli ioni della regione di *drift* che quelli nella regione di moltiplicazione sono spinti sotto l'azione del campo elettrico verso il potenziale superiore maggiormente negativo. Dunque la corrente letta all'anodo è puramente corrente di elettroni e per questo motivo è caratterizzata da costanti di tempo molto veloci.

Prendiamo in esame una tripla GEM e consideriamo la corrente generata dallo spostamento degli elettroni dall'elettrodo inferiore dell'ultima GEM verso l'anodo di raccolta. La corrente può essere facilmente derivata dalla conservazione dell'energia. Assumiamo che le costanti di tempo in gioco del circuito esterno siano maggiori del tempo di raccolta della carica, in modo tale non ci siano altre correnti da dover considerare in questo intervallo di tempo. Quindi l'energia richiesta per spostare gli elettroni viene fornita dall'energia immagazzinata nella regione di induzione. Possiamo modellare la regione di raccolta come una capacità C a piatti paralleli dove il gas è il dielettrico, mentre l'anodo e il contatto inferiore della GEM fanno da armature. L'energia immagazzinata è pari a

$$U_I = \frac{1}{2} C V_I^2 \quad (1.19)$$

dove V_I è la tensione applicata ai due contatti (differenza di potenziale nella regione di induzione). L'energia assorbita dagli elettroni sul piatto inferiore della GEM è pari a $nqE_I v_d t$ [eV] dove n è il numero di elettroni generati, q la carica elementare dell'elettrone, E_I il campo generato dalla tensione

V_I sulla distanza d e t il tempo necessario per spostare la carica sino all'anodo. Dalla conservazione dell'energia abbiamo:

$$U_I = \frac{1}{2} CV_I^2 = nqE_I v_d t + \frac{1}{2} CV_R^2 \quad (1.20)$$

Dove l'ultimo termine a secondo membro è l'energia residua.

Dalla (1.20) si può facilmente ottenere:

$$\frac{1}{2} C(V_I - V_R)(V_I + V_R) = nqE_I v_d t \quad (1.21)$$

Definiamo $V_0 - V_{ch} = V_S$ la variazione di tensione legata allo spostamento della carica. Essendo l'energia assorbita dagli elettroni normalmente molto più piccola dell'energia a disposizione avremo $V_S \ll V_I$ dunque possiamo approssimare $V_I + V_R$ a circa $2V_I$, quindi:

$$\frac{1}{2} CV_S 2V_I = nqE_I v_d t \quad (1.22)$$

$$V_S = \frac{nq v_D}{C} t \quad (1.23)$$

Questo risultato predice la prima parte del segnale ovvero quella compresa tra zero e l'istante $t=t_f$ necessario per spostare la carica. Come si osserva in figura 1.16, il segnale in tensione V_S cresce linearmente nel tempo, mentre la corrente si può considerare costante durante lo spostamento della carica e vale nqv_D/d (ottenuta per semplice derivazione del valore della carica totale). Quando la corrente diventa nulla, ovvero dopo il tempo t_f , la tensione massima raggiunta decade con costante di tempo RC dove R è la resistenza di ingresso dell'elettronica di lettura.

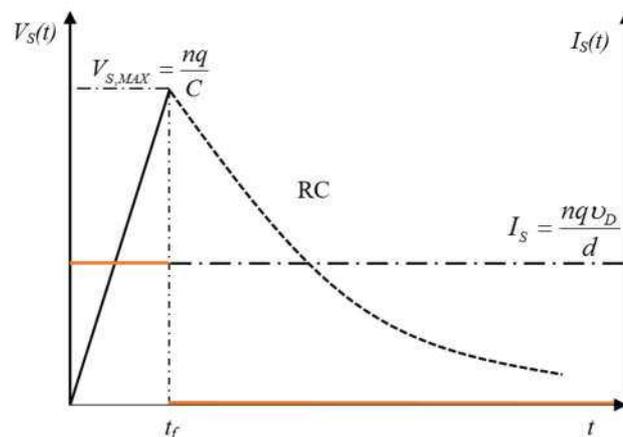


Figura 1.16 Andamento della corrente e della tensione di segnale uscente da un detector GEM

Consideriamo una struttura GEM tripla con campo di induzione pari a 6kV/cm immersa in una miscela di Ar-CO₂ 70/30 in cui gli elettroni possono driftare con velocità pari a 8cm/us. Supponiamo che il guadagno di ogni stadio GEM sia 20, quindi per ogni singolo elettrone generato nella regione di *drift* (ipotizzando una efficienza di raccolta ideale del 100%) avremo nella regione di induzione 8000 elettroni. Consideriamo un tipico valore di gap nella regione di induzione pari a 3mm.

Il tempo t estratto a partire dai dati precedenti risulta pari a 40ns. Consideriamo l'anodo costituito da strip larghe 300 μ m e distanti 400 μ m su di un area di 100mm². Ogni *pad* avrà dunque un area pari a 30mm².

A causa di pad di grande area la capacità equivalente della GEM vista dall'elettrodo è molto grande, maggiore di alcune decine di pF. Fissiamo $C = 10$ pF. A questo punto possiamo calcolare la tensione di picco corrispondente alla singola coppia primaria generata e che vale in queste condizioni circa 130 μ V. Questa variazione di tensione sull'anodo in realtà sarà molto più piccola, se si considera una efficienza di raccolta non ideale.

1.3.7 Prestazioni temporali

Le prestazioni temporali di un detector GEM sono correlate con la statistica di formazione dei cluster di carica generati dalla moltiplicazione a valanga associata a ciascuna singola coppia primaria generata nella regione di drift [18]. L'espressione generale per la distribuzione spaziale dei cluster j ad una distanza x dalla prima GEM è pari a:

$$A_j^{\bar{n}}(x) = \frac{x^{j-1}}{(j-1)!} \bar{n}^j e^{-\bar{n}x} \quad (1.24)$$

dove \bar{n} è il numero medio di cluster generato per unità di lunghezza.

Per una data velocità di drift v_d nella regione di drift, la distribuzione di probabilità dei tempi di arrivo alla prima GEM per il cluster j è data da:

$$P_j(t_d) = A_j^{\bar{n}}(v_d t_d) \quad (1.25)$$

In particolare per il primo cluster ($j=1$) si ha:

$$P_1(t_d) = \bar{n} \cdot e^{-\bar{n}v_d t_d} \Rightarrow \sigma_1(t_d) = \frac{1}{\bar{n} \cdot v_d} \quad (1.26)$$

Dalla precedente formula ricaviamo il valore intrinseco della risoluzione temporale del detector se il primo cluster è sempre rilevato.

Un valore elevato della ionizzazione primaria \bar{n} e della velocità di drift v_d (scegliendo opportunamente miscela di gas e campo elettrico) permette di migliorare la risoluzione temporale di una GEM. GEM di tipo standard che operano in Ar/CO₂ in una miscela 70/30 generalmente esibiscono risoluzioni temporali basse, attorno ai 10ns r.m.s., che può risultare insufficiente in diverse applicazioni (ad esempio rivelazione di muoni). Scegliendo per esempio una miscela Ar/CO₂/CF₄ (45/15/40) ed una geometria a tripla GEM con gap 3/1/2/1mm ha portato a risoluzioni inferiori a 3ns r.m.s [17].

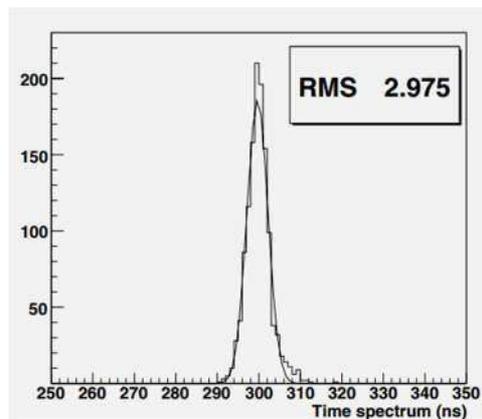


Figura 17: [19] Risoluzione temporale di due camere GEM in coincidenza, che utilizzano una miscela di gas contenente CF₄.

1.3.8 Rate capability del detector

La *rate capability* di una GEM dipende dal tempo necessario per spostare gli ioni dalla regione di moltiplicazione verso il catodo. In tutti i rivelatori a gas gli ioni generati lentamente driftano verso l'elettrodo negativo così da favorire un accumulo di carica se il flusso della radiazione incidente è elevato. L'accumulo di carica positiva degrada il campo nella regione di drift ed abbassa il guadagno. Per una MWPC la massima rate applicabile è pari a 10⁴ particelle al secondo per mm² [3].

Per una standard GEM la situazione è di qualche ordine di grandezza superiore grazie alla capacità di confinamento degli ioni nei canali registrando rate sino a 10⁶ s⁻¹ mm⁻² mantenendo il guadagno costante [9] come è possibile osservare in figura 1.18 per una GEM singola immersa in Ar-CO₂ (70-30).

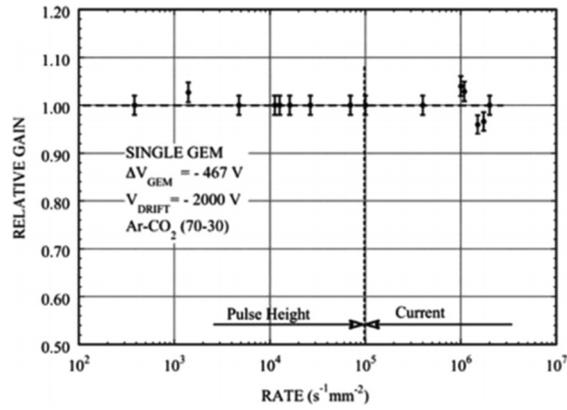


Figura 1.18: Guadagno relativo in funzione della rate degli eventi per una single-GEM.

1.4 Elettronica di lettura per rivelatori di particelle

Il segnale fornito da un rivelatore di particelle è normalmente troppo piccolo per poter essere elaborato dalla catena di acquisizione e per questo motivo è necessario uno stadio di preamplificazione caratterizzato da un valore abbastanza elevato del rapporto segnale-rumore.

L'architettura di lettura è scelta opportunamente in funzione dell'informazione che si vuole estrarre dall'evento osservato, che può essere associata all'energia o al tempo di occorrenza dell'evento stesso [20]. Se il nostro obiettivo è quello di produrre un segnale avente un fronte molto ripido in corrispondenza dell'istante di occorrenza dell'evento, come per esempio accade nelle applicazioni dove è necessario rilevare il tempo di volo (*time of flight*) di una particella, è necessario amplificare il segnale d'uscita del rivelatore preservando tutte le proprietà spettrali del segnale o in altre parole utilizzare una banda di amplificazione maggiore della banda del segnale. In questo caso, dato che è necessario leggere un segnale in corrente, la scelta migliore ricadrebbe su una architettura del front-end elettronica basata su un current-buffer, che permette di amplificare la corrente sfruttando nodi a bassa impedenza e quindi non introduce costanti di tempo lente nella catena di elaborazione del segnale. Nel caso in cui si stia facendo un'indagine spettrale dell'evento osservato, siamo interessati a leggere il segnale in carica prodotto dal sensore, in quanto l'energia rilasciata dalla particella è proporzionale alla carica totale prodotta nel detector.

$$E \propto Q = \int idt \quad (1.27)$$

Il modo classico di leggere una carica è dunque utilizzare un integratore di corrente. Tipicamente per svolgere questa funzione è utilizzato un Charge Sensitive Amplifier (CSA), il cui output è una tensione proporzionale alla carica in ingresso.

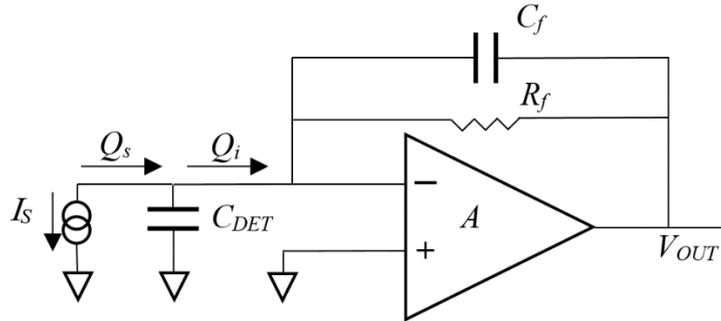


Figura 1.19: Schema elementare di un CSA.

In linea di principio possiamo schematizzare un CSA come in figura 1.19, utilizzando un amplificatore in configurazione invertente con una impedenza nel ramo di feedback caratterizzata dalla presenza di una capacità di integrazione C_f . Per via della massa virtuale sul nodo d'ingresso dell'amplificatore, tutta la corrente proveniente dal rivelatore fluirà nella capacità di feedback, producendo in uscita una tensione che, nel dominio di Laplace, è pari a:

$$V_{OUT}(s) = Z_f(s) \cdot I_S(s) = \frac{1}{sC_f} I_i(s) \quad (1.28)$$

Nel dominio del tempo dunque l'uscita del CSA equivale all'integrale della corrente a meno di una costante inversamente proporzionale a C_f , che risulta essere il guadagno tensione-carica dello stadio.

Poiché è necessario garantire un percorso di corrente in continua, per ovvie ragioni di polarizzazione dell'amplificatore, l'impedenza di feedback non può essere puramente capacitiva e dunque in parallelo a C_f troviamo in realtà una resistenza R_f .

La presenza della costante di tempo $\tau_f = R_f C_f$ impone allo stesso tempo due condizioni sul segnale: affinché tutto l'impulso di corrente generato dal rivelatore possa essere integrato dal CSA, la durata dell'impulso deve essere molto minore di τ_f . In questa maniera la banda del segnale si troverà in corrispondenza della regione a -20dB/decade dell'amplificatore in transimpedenza, ovvero la regione in cui l'amplificatore si comporta da integratore o, in altre parole, si comporta da amplificatore di carica. Inoltre τ_f impone una limitazione sulla massima *rate* del segnale che può essere tollerata, in quanto la corrente media erogata dal rivelatore, proporzionale alla *rate* degli eventi, scorre nella resistenza di feedback e quindi può dar luogo a un fenomeno di *pile-up*, cioè di impilamento degli

impulsi che può portare alla saturazione dell'amplificatore. Uno stadio successivo a valle del preamplificatore, cioè lo *shaper*, ha il compito di modellare la forma del segnale, in modo che l'impulso di uscita corrispondente all'arrivo di un evento ritorni al livello DC abbastanza rapidamente, evitando quindi l'effetto di pile-up che si verifica all'uscita del CSA. Quindi lo *shaper* può ridurre la durata dell'impulso in uscita dal CSA e garantire una più elevata *rate* sostenibile come è evidente in figura 1.20. Una seconda funzione dello *shaper* consiste nell'ottimizzazione del rapporto segnale-rumore all'uscita della catena di preamplificazione.

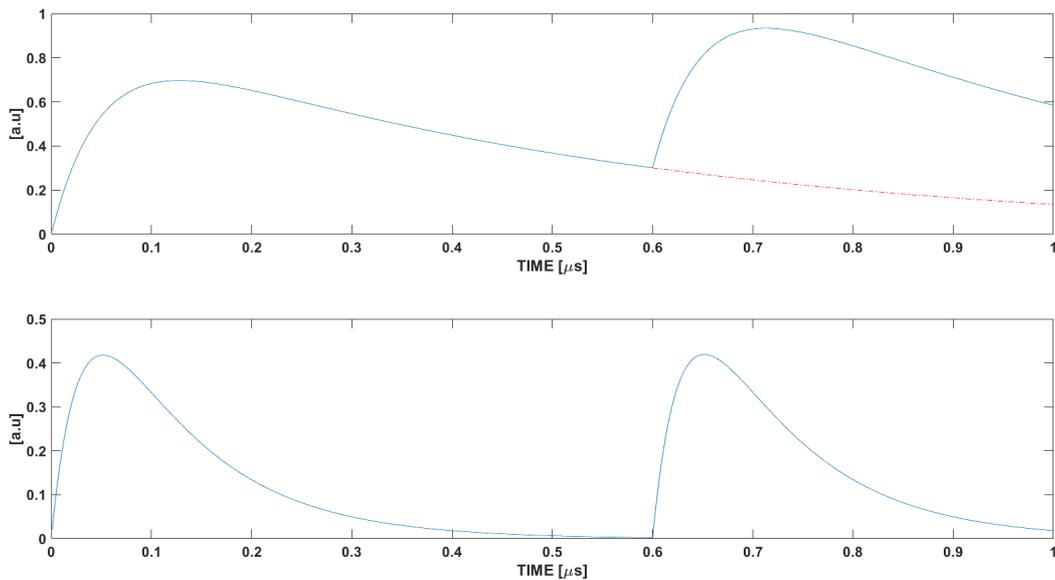


Figura 1.20: Sopra. Effetto pile-up all'uscita del CSA quando due impulsi successivi sono molto vicini temporalmente. Sotto effetto modellante dello *shaper* che permette di dimensionare opportunamente il tempo di picco e la costante di decadimento del segnale

Come abbiamo già osservato, all'aumentare della *rate* degli eventi, aumenta la corrente media nella resistenza di feedback R_f . Infatti, si può affermare che:

$$I_{R_f} = \frac{1}{T} \int_0^T i(t) dt = \frac{Q_s}{T} \quad (1.29)$$

dove T è il periodo medio di ripetizione degli eventi. Essendo I_{R_f} una corrente in DC, essa scorrerà tutta in R_f e per questo motivo bisogna tener conto del valore di questa resistenza e che la *rate* media degli eventi sia sostenibile, cioè lasci abbastanza dinamica per l'arrivo degli impulsi successivi.

Il CSA garantisce inoltre che tutta la carica disponibile all'uscita del rivelatore entri nell'amplificatore. Applicando la formula di Bode [21] per il calcolo delle impedenza ai terminali, è

possibile osservare che l'impedenza di ingresso Z_i dello stadio CSA, con riferimento sempre allo schema di principio in figura 1.19, vale:

$$Z_i = \frac{Z_D}{1 + \mathcal{G}_{oc}} = \frac{Z_f // Z_p}{1 + A \frac{Z_p}{Z_p + Z_f}} \quad (1.30)$$

dove Z_D è l'impedenza della rete morta (ottenuta annullando il guadagno dell'amplificatore, che viene assunto come generatore pilotato di riferimento per il calcolo del rapporto di ritorno θ_{oc}), A è il guadagno dell'amplificatore invertente mentre Z_p è l'impedenza legata alla capacità parassita C_p all'ingresso dell'amplificatore. Alle frequenze del segnale possiamo ritenere R_f un aperto se confrontato con la capacità C_f . Dunque dalla precedente:

$$Z_i = \frac{1}{s(C_f + C_p)} \frac{1}{1 + A \frac{C_f}{C_f + C_p}} \quad (1.31)$$

Per $C_p \ll C_f$ ed $A \gg 1$ abbiamo che la capacità equivalente C_i , in parallelo a quella del rivelatore, vale circa AC_f .

Allora la frazione di carica entrante nell'amplificatore Q_i rispetto alla carica totale erogata dal rivelatore Q_s è pari a:

$$\frac{Q_i}{Q_s} = \frac{Q_i}{Q_{DET} + Q_i} = \frac{C_i}{C_{DET} + C_i} = \frac{1}{\frac{C_{DET}}{C_i} + 1} \approx \frac{1}{\frac{C_{DET}}{AC_f} + 1} \quad (1.32)$$

essendo Q_{DET} la carica che rimane localizzata sulla capacità parassita del rivelatore C_{DET} . Dunque se il guadagno d'anello, o rapporto di ritorno, θ_{oc} è abbastanza grande, C_i sarà molto maggiore di C_{DET} e la carica si localizzerà quasi totalmente sulla capacità di ingresso del CSA: di conseguenza il comportamento dell'amplificatore sarà poco sensibile al valore e alle variazioni della capacità del rivelatore.

1.4.1 Risoluzione energetica dell'elettronica di front-end

Si possono distinguere due tipi di risoluzione energetica, quella intrinseca e legata alle proprietà statistiche del rivelatore, già trattata precedentemente, e quella elettronica, che è associata al rumore elettronico del front-end di lettura e da esso limitata.

Una delle principali caratteristiche richieste alla catena analogica *CSA-shaper* è quella di realizzare una elettronica di lettura a basso rumore. Al fine di poter comparare il rumore elettronico con il segnale generato dal rivelatore e poter estrarre la risoluzione complessiva del sistema rivelatore-elettronica di lettura, il livello di rumore equivalente in ingresso al CSA è normalmente espresso in termini di *Equivalent Noise Charge* (ENC), cioè di rumore equivalente in carica, definito come il rapporto tra il valore r.m.s del rumore elettronico totale all'uscita dello *shaper* v_{no}^2 e l'ampiezza del segnale utile associato alla carica di un solo elettrone v_{op} , alla stessa uscita[22]:

$$ENC = \frac{\sqrt{v_{no}^2}}{v_{op}} \quad (1.33)$$

Per il calcolo dell'ENC si fa riferimento allo schema di principio riportato in figura 1.21 nel quale è presente, oltre al CSA, un classico filtro formatore costituito essenzialmente da un derivatore in cascata con un integratore di ordine n, costituiti da semplici reti passive, rispettivamente CR ed RC.

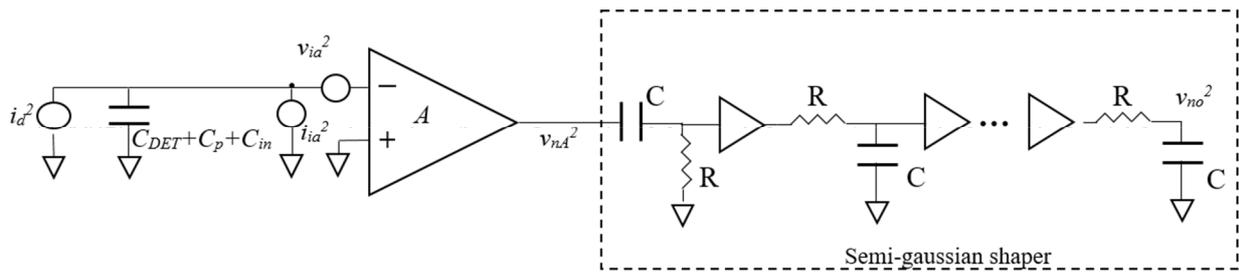


Figura 1.21: Sistema CSA-Shaper e sorgenti di rumore.

In figura 1.21 v_{ia}^2 e i_{ia}^2 rappresentano i generatori equivalenti di rumore di ingresso, in corrente ed in tensione, dell'elettronica di lettura, C_{DET} è la capacità equivalente del rivelatore, C_p è la capacità parassita delle interconnessioni tra il CSA e il rivelatore, C_{in} capacità di ingresso del preamplificatore.

I due generatori di rumore possono essere comodamente rappresentati da un generatore equivalente di rumore v_{eqi}^2 in serie alla capacità del rivelatore, come rappresentato in figura 1.22.

E' necessario anche tener conto del contributo legato al cosiddetto rumore parallelo i_d^2 , che dipende dalla corrente di *leakage* del rivelatore e dalla sua rete di polarizzazione come:

$$i_d^2 = 2qI_0 + 4 \frac{kT}{R_B} \approx 2qI_0 \quad (1.34)$$

dove I_0 è la corrente di leakage del rivelatore e R_B la sua resistenza di polarizzazione. È importante notare che il rumore associato alla resistenza di feedback R_f si somma a i_d^2 .

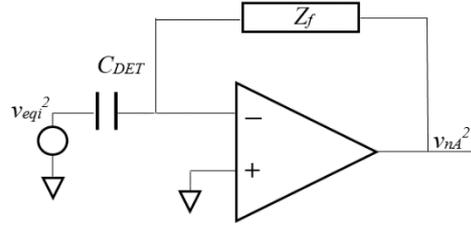


Figura 1.22: CSA ed equivalente di rumore v_{eqi}^2 .

Il rumore totale equivalente v_{eqi}^2 può essere espresso come:

$$v_{eqi}^2 = \left(\frac{C_T}{C_{DET}} \right)^2 v_{ia}^2 + \frac{1}{sC_{DET}} i_d^2 \quad (1.35)$$

in cui $C_T = C_{DET} + C_p + C_{in} + C_f$.

Se facciamo riferimento ad uno stadio di ingresso dell'amplificatore, realizzato in tecnologia CMOS, in configurazione common-source, il rumore v_{ia}^2 è somma di un contributo legato al rumore termico del MOSFET di ingresso, un contributo legato al suo rumore flicker ed un ultimo contributo legato al rumore associato al generatore di corrente utilizzato per la polarizzazione del dispositivo:

$$v_{ia}^2 = \frac{8}{3} kT \frac{1}{g_m} + \frac{k_F}{C_{OX}^2 WL \cdot f} + \frac{i_B^2}{g_m^2} \quad (1.36)$$

qui g_m è la transconduttanza del MOSFET di ingresso, W ed L sono le sue dimensioni, k_F è il coefficiente del rumore flicker, C_{OX} è la capacità dell'ossido di gate per unità di area e i_B^2 è il rumore associato alla corrente di polarizzazione.

Appare evidente che affinché il rumore in tensione diminuisca è necessario aumentare la transconduttanza del MOSFET di ingresso e aumentarne le dimensioni, in modo da abbattere il contributo del rumore flicker. Se facciamo riferimento al rumore equivalente in ingresso v_{eqi}^2 , il problema della minimizzazione del rumore conduce alla ricerca del valore ottimo di larghezza del canale W . Infatti, una volta scelto il valore della lunghezza L del dispositivo, di solito assunto pari al minimo consentito per la tecnologia utilizzata, possiamo considerare separatamente i contributi al rumore totale e considerare la derivata di v_{eqi}^2 rispetto a W . Trascurando il contributo al rumore legato alla polarizzazione, poiché di solito abbastanza piccolo, e considerando che in questo caso la capacità totale C_{in} può essere considerata pari alla somma delle capacità gate-source C_{GS} e gate-drain C_{GD} del

MOSFET di ingresso, si ottengono due relazioni per la ricerca del valore ottimo di W , una che minimizza il rumore termico e l'altra il rumore flicker:

$$W_{opt,th} = \frac{C_{DET} + C_p + C_f}{2C_{OX}\alpha L} \quad (1.37)$$

$$W_{opt,f} = \frac{3(C_{DET} + C_p + C_f)}{2C_{OX}\alpha L} \quad (1.38)$$

Nelle relazioni (1.37) e (1.38) αL indica il valore $(L+3L_D)$, essendo L_D la lunghezza di diffusione sotto l'ossido di gate. Per dispositivi a canale lungo α è circa uguale ad 1.

I due valori di W_{opt} conducono ad altrettanti valori di minimo per il rumore. La minima tensione di rumore equivalente in ingresso, legata al rumore termico è data dalla relazione:

$$v_{eqi\min}^2 = \left[\frac{4}{3} \frac{C_{DET} + C_p + C_f}{C_{DET}} \right]^2 \frac{8}{3} kT \frac{\sqrt{\alpha L}}{\sqrt{\mu I_{DS} (C_{DET} + C_p + C_f)}} \quad (1.39)$$

in cui μ è la mobilità dei portatori nel canale del MOSFET di ingresso e I_{DS} la sua corrente di polarizzazione. Dalla osservazione della (1.39) è possibile affermare che, data una certa sorgente capacitiva, il rumore all'ingresso dello stadio può essere minimizzato utilizzando la minima lunghezza di canale possibile e la più alta corrente di polarizzazione realizzabile. Inoltre, ottenere il minimo valore di rumore all'ingresso dell'amplificatore equivale anche a realizzare il *matching* capacitivo del rumore, ovvero, in altre parole, nota W_{opt} resta dimensionata la C_{GS} del dispositivo di ingresso che vale, nel caso di minimizzazione del rumore termico[23]:

$$C_{GS} \cong \frac{1}{3} (C_{DET} + C_p + C_f) \quad (1.40)$$

Nel caso di rumore flicker si ottiene analogamente la seguente relazione per il rumore equivalente di tensione:

$$v_{eqi\min}^2 = 8\alpha \frac{(C_{DET} + C_p + C_f)k_F}{3C_{OX}C_{DET}^2 f} \quad (1.41)$$

dalla quale è evidente che il minimo del rumore equivalente in ingresso legato al contributo del flicker risulta indipendente da parametri geometrici del MOSFET o dalla corrente di polarizzazione. È invece fortemente legato alla tecnologia CMOS utilizzata per via della presenza del fattore k_F (parametro del rumore flicker) e della C_{OX} (capacità per unità di area dell'ossido di gate). Ovviamente nella relazione

ritroviamo la dipendenza del rumore dal termine $1/f$. Anche in questo caso è possibile trovare un valore di C_{GS} che minimizza il rumore, che risulta pari a:

$$C_{GS} \cong (C_{DET} + C_p + C_f) \quad (1.42)$$

Per la scelta finale delle dimensioni del dispositivo in ingresso è necessario considerare entrambi i contributi e risulta evidente che il rumore complessivo dipenderà dal valore della C_{GS} scelta in relazione alla rilevanza relativa del rumore flicker e del rumore termico. Poiché non è possibile trovare una soluzione chiusa, il problema della ricerca del W_{opt} viene risolto in maniera iterativa.

Al fine di valutare il valore dell'ENC è necessario determinare il rumore all'uscita del CSA e la funzione di trasferimento dello *shaper*. Nota la quantità v_{eqi}^2 , la densità spettrale di potenza di rumore v_{nA}^2 all'uscita del CSA vale:

$$v_{nA}^2 = \left| \frac{C_{DET}}{C_f} \right|^2 v_{eqi}^2 = \left| \frac{C_T}{C_{DET}} \right|^2 \left| \frac{C_{DET}}{C_f} \right|^2 \cdot v_{ia}^2 + \left| \frac{1}{sC_f} \right|^2 i_d^2 = \left| \frac{C_{DET} + C_p + C_f + C_{GS} + C_{GD}}{C_f} \right|^2 \cdot v_{ia}^2 + \left| \frac{1}{sC_f} \right|^2 i_d^2 \quad (1.43)$$

Se si considera uno *shaper* semi-gaussiano (S-G) costituito, come precedentemente accennato e come rappresentato in figura 1.21 da un derivatore CR e da n integratori RC, la sua funzione di trasferimento vale:

$$H(s) = \left(\frac{s\tau_0}{1 + s\tau_0} \right) \left(\frac{A}{1 + s\tau_0} \right)^n \quad (1.44)$$

dove τ_0 è la costante di tempo comune dell'integratore e del derivatore, e A è il guadagno del filtro.

Il rumore complessivo all'uscita dello *shaper* è pari dunque a:

$$v_{no}^2 = \int_0^{\infty} |v_{nA}(j2\pi f)|^2 |H(j2\pi f)|^2 df \quad (1.45)$$

Inoltre, per valutare il valore dell'ENC, è necessario conoscere la risposta del front-end alla carica associata a un singolo elettrone, che è data nel dominio di Laplace da:

$$v_o(s) = H(s) \cdot \frac{q}{sC_F} \quad (1.46)$$

dove q è la carica dell'elettrone.

Antitrasformando la (1.46) si ottiene la risposta nel tempo alla carica elementare:

$$v_o(t) = \frac{qA^n n^n}{C_F n!} \left(\frac{t}{\tau_s} \right)^n e^{-\frac{nt}{\tau_s}} \quad (1.47)$$

dove $\tau_s = n\tau_0$ è il tempo di picco del segnale all'uscita dello *shaper*.

Valutando la (1.47) al tempo di picco è possibile ricavare l'informazione energetica legata al singolo elettrone, pari a:

$$v_{op} = \frac{qA^n n^n}{C_F n! e^n} \quad (1.48)$$

Nota la (1.45) e (1.48) è possibile estrarre una espressione dell'ENC per sostituzione nella (1.33).

Per la valutazione dell'integrale nella relazione (1.45) è opportuno considerare separatamente il rumore termico, quello flicker e il rumore parallelo. In questa maniera si giunge all'espressione dell'ENC per i diversi contributi di rumore:

$$ENC_{th}^2 = \frac{8}{3} kT \frac{1}{gm} \frac{C_T^2 B\left(\frac{3}{2}, n - \frac{1}{2}\right) n}{q^2 4\pi\tau_s} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad \text{per il rumore termico} \quad (1.49)$$

$$ENC_f^2 = \frac{k_F}{C_{OX}^2 WL} \frac{C_T^2}{q^2 2n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad \text{per il rumore flicker} \quad (1.50)$$

$$ENC_0^2 = 2qI_0 \frac{\tau_s B\left(\frac{1}{2}, n + \frac{1}{2}\right) n}{q^2 4\pi n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad \text{per il rumore parallelo} \quad (1.51)$$

Tralasciando la complessità delle relazioni (1.49), (1.50) e (1.51), possiamo trarre importanti linee guida per il dimensionamento del transistor di ingresso del CSA e per la scelta della costante di tempo dello *shaper*, oltre che del suo ordine n . Dunque la minimizzazione dell'ENC termico richiede una elevata transconduttanza ed una capacità di ingresso C_T che sia la più piccola possibile. Inoltre un elevato tempo di picco contribuisce a diminuire l' ENC_{th} , mentre si può notare, sempre nella (2.23), l'indipendenza dal guadagno A^n dello *shaper*. D'altro canto, l'ENC dovuto al flicker è indipendente

dai parametri dello *shaper*, mentre è fortemente legato ai parametri di processo k_F e C_{OX} , oltre che all'area totale WL del dispositivo di ingresso.

L'ENC₀, derivante dal rumore parallelo in ingresso, ha un trend opposto a quello dell'ENC termico, poiché direttamente proporzionale a τ_s e questo implica l'esistenza di un minimo dell'ENC complessivo al variare del tempo di picco dello *shaper*. In figura 1.23 è mostrata la dipendenza dell'ENC minimo come funzione della costante di tempo t_s considerando un detector con capacità equivalente pari a 10pF. Si può osservare la presenza di un minimo che permette di scegliere un valore opportuno per il tempo di picco.

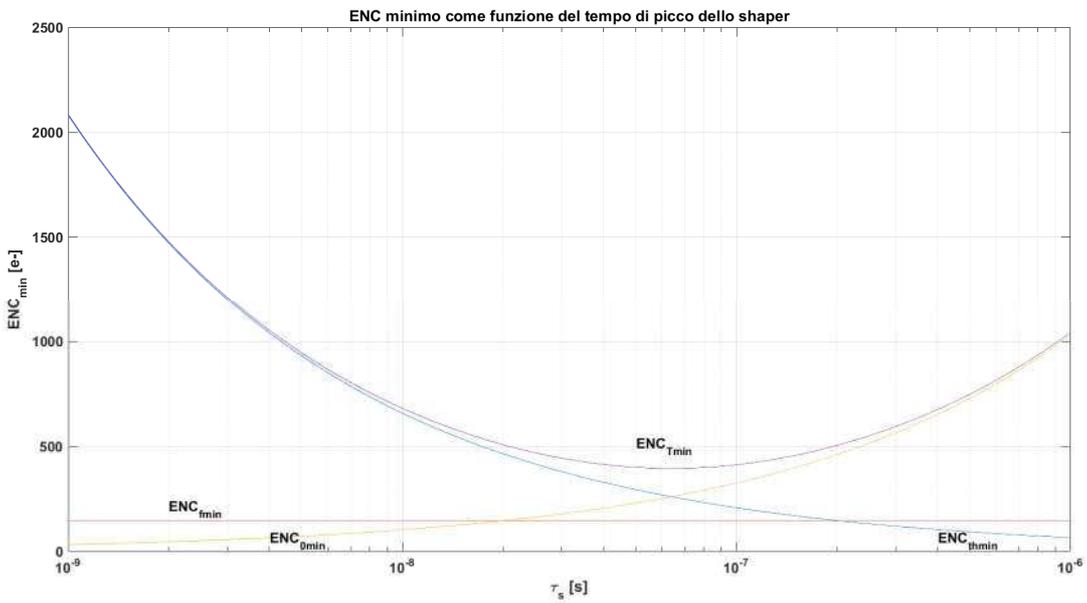


Figura 1.23: ENC minimo come funzione del tempo di picco dello shaper per un detector con capacità pari a 10pF.

Essendo i contributi di rumore incorrelati, il rumore equivalente totale sarà somma dei quadrati dei singoli ENC.

Infine, sostituendo nelle (1.49) e (1.50) i rispettivi valori di W ottimo riportati nelle (1.37) e (1.38), è possibile ottenere i valori di minimo per ENC_{th} e ENC_f , rispettivamente riportati nelle relazioni (1.52) e (1.53):

$$ENC_{thmin}^2 = \frac{128}{27} kT \frac{(C_{DET} + C_p + C_F)^2 L \sqrt{\alpha}}{\sqrt{\mu \cdot I_{DS} (C_{DET} + C_p + C_F)}} \left[\frac{B\left(\frac{3}{2}, n - \frac{1}{2}\right) n}{q^2 4\pi\tau_s} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \right] \quad (1.52)$$

$$ENC_{f_{\min}}^2 = \frac{8 \alpha \cdot k_F}{3 C_{OX}^2} \frac{(C_{DET} + C_p + C_F)^2}{q^2 2n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad (1.53)$$

Si può concludere che, al fine di rendere il rumore termico minimo, è necessario utilizzare la minima lunghezza di canale ed una elevata corrente di polarizzazione, mentre l' ENC_f risulta del tutto indipendente dai parametri progettuali del MOSFET di ingresso.

Per quanto riguarda la dipendenza dell'ENC minimo dall'ordine dello shaper, da un punto di vista pratico è importante considerare che il miglioramento che si avrebbe in termini di ENC all'aumentare dell'ordine n , non giustifica l'aumento della complessità del circuito o il maggior consumo di potenza, senza tralasciare il fatto che per valori di n maggiori di 4 non ci sono apprezzabili variazioni nel ENC.

1.5 Applicazioni delle GEM

Nel seguito si elencano una serie di applicazioni nelle quali le GEM sono state utilizzate con successo, mostrando caratteristiche particolarmente favorevoli rispetto alle specifiche richieste.

1.5.1 Rivelazione di neutroni veloci

Le GEM possono essere usate per la rivelazione di neutroni veloci, infatti se la parte esterna del catodo in alluminio è rivestito da un foglio di polietilene, questo rende la GEM sensibile ai neutroni per mezzo di una reazione elastica in idrogeno [24]. I protoni prodotti con energia maggiore di un MeV, attraversano il catodo e ionizzano il gas producendo elettroni secondari. Il guadagno della camera può essere abbassato per ridurre il contributo di piccoli segnali di *background*, in particolare quelli provenienti da raggi gamma. In figura 1.24 è mostrata un *plot* 2D dell'intensità del fascio di neutroni su di un piano perpendicolare alla radiazione incidente. La distribuzione dell'intensità è ben descritta da una bi-gaussiana con FWHM di circa 15mm. I risultati ottenuti dai test dimostrano che le GEM sono pienamente capaci di rilevare neutroni in tempo reale con una buona risoluzione spaziale e temporale nel range di energia 2-20MeV.

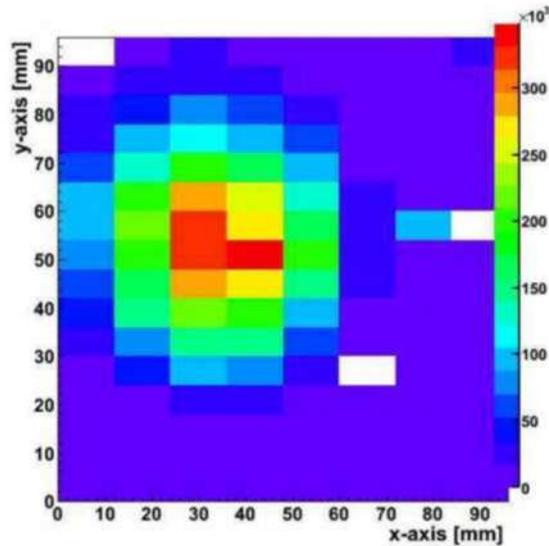


Figura 1.24: Intensità fascio protoni su plot 2D (corrente fascio pari a 355mA).

1.5.2 Rivelazione di neutroni termici

Un rivelatore di neutroni termici basato su GEM è realizzato utilizzando un catodo a cui sono collegati sottili fogli di carburo di Boro (B_4C) che presenta un'ottima capacità di assorbire neutroni. Uno schema di questo tipo di detector è presentato in figura 1.26. Per ogni neutrone assorbito è rilasciata una particella alfa ed uno ione di Litio (7Li). Queste particelle cariche ionizzano il gas producendo uno sciame di elettroni secondari.

Per via della bassa efficienza, attorno all'1%, questo tipo di rivelatore può essere utilizzato solo per il monitoraggio di un fascio di neutroni. La *counting rate* è funzione della tensione ai capi della GEM come possiamo vedere in figura 1.25.

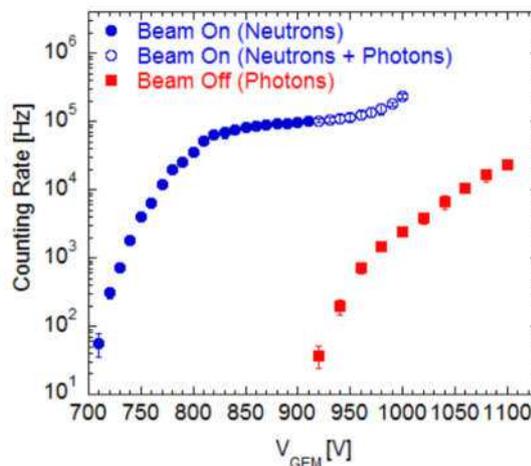


Figura 1.25: Counting rate in funzione della tensione sulla GEM sia in condizioni di fascio inattivo e di fascio attivo[25].

Il rivelatore comincia a produrre un'uscita apprezzabile in termini di *counting rate* per i neutroni termici in corrispondenza di valori di tensione pari attorno ai 710V, mentre per tensioni superiori a 925V diventa anche sensibile ai raggi gamma di *background*. Per questo motivo normalmente in questa applicazione la GEM è polarizzata attorno ad un valore pari a 870V.

Il guadagno della GEM risulta essere molto basso per queste tensioni di polarizzazione, tuttavia questo è compensato dall'elevato potere ionizzante delle particelle alfa.

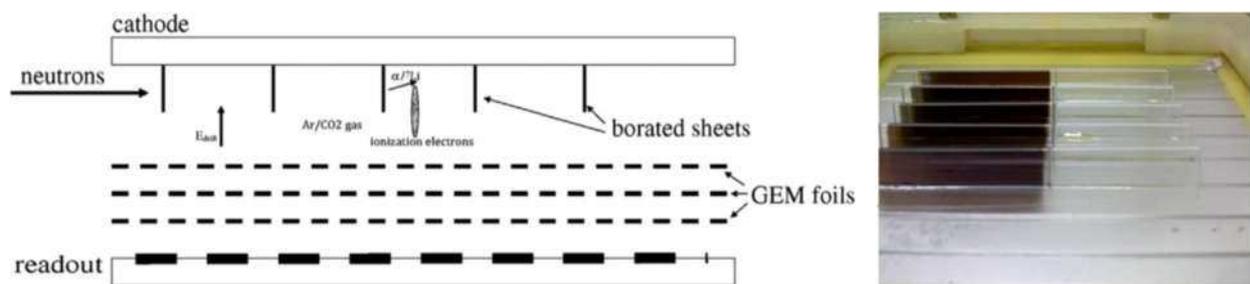


Figura 1.26: A sinistra. Schema di una GEM per la rivelazione di neutroni termici. A destra. Vista laterale del catodo di un rivelatore a tripla GEM:

1.5.3 Rivelatori di radiazione UV e fotoni nello spettro visibile

Il rivelatore è formato in pratica depositando un *layer* riflessivo fotosensibile sulla faccia superiore della GEM come descritto in figura 1.27. La riduzione della superficie effettiva del fotocatodo dovuta alla sua trasparenza ottica è compensata dall'elevata fotoionizzazione associata a *layer* riflettenti abbastanza spessi. Gli elettroni estratti dal *layer* per fotoionizzazione sono trascinati nei buchi dove avviene la prima moltiplicazione.

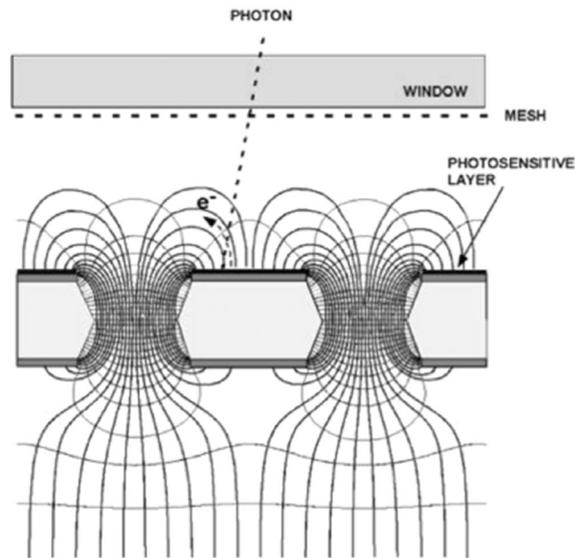


Figura 1.27: A sinistra. Schema di una GEM per la rilevazione di neutroni termici. A destra. Vista laterale del catodo di un detector a tripla GEM.

1.6 Stato dell'arte dell'elettronica di front-end per GEM detectors

La ricerca di nuove architetture di lettura per rivelatori di tipo GEM ha lo scopo di migliorare le prestazioni dei front-end elettronici in soluzioni CMOS integrate. In letteratura sono presenti solo pochi front-end deputati alla lettura di GEM. Per l'esperimento TOTEM del LHC è stato sviluppato un ASIC a 128 canali in tecnologia 250nm, chiamato VFAT2[26]. Le principali funzioni svolte dall'integrato sono la generazione di un trigger dell'evento, l'individuazione della regione colpita e la possibilità di memorizzare l'informazione spaziale associata. Il canale analogico è formato da un preamplificatore di carica e da uno shaper CR-(RC)³, il quale fornisce un tempo di picco pari a 22ns. Il rumore in carica, misurato per un detector caratterizzato da una capacità di 20pF, si attesta a circa 1500e⁻. L'uscita dello shaper è inviata ad un comparatore a soglia programmabile che produce un impulso asincrono di durata proporzionale al tempo in cui il segnale resta sopra soglia. A partire da quest'ultimo impulso e grazie all'utilizzo di un monostabile si realizza un impulso sincrono con il clock di sistema. L'ASIC è inoltre equipaggiato da un interfaccia I2C per la configurazione dei suoi registri interni e contiene una RAM che permette di memorizzare sino a 128 trigger contemporaneamente, assicurando una massima rate di lettura pari a 100kcps.

GASTONE[27,28], nelle due versioni a 16 e a 64 canali è un ASIC mixed signal, a basso rumore progettato per rivelatori di tipo GEM, utilizzati nell'apparato KLOE dell'INFN di Frascati per lo studio della violazione di simmetria CP nel decadimento dei mesoni. Seppur presentando una più bassa massima rate rilevabile, pari a 30kcps, presenta prestazioni di rumore sufficientemente elevate con un ENC misurato e pari a circa $800e^- + 40e^-/pF$. GASTONE ha una architettura di canale molto simile a VFAT2 ed utilizza per modellare il segnale di carica uno shaper semi-gaussiano con picco a 90ns. Anche in questo caso attraverso l'utilizzo di un monostabile viene generato l'impulso di trigger dell'evento a partire dal segnale generato dal discriminatore di canale, che dispone di una soglia programmabile. Gli indirizzi dei canali colpiti sono memorizzati in un registro da 96bits a formare il frame di uscita dell'ASIC, il quale è serializzato attraverso link seriale LVDS a 100MHz. Il range dinamico del canale analogico si attesta a circa 50fC considerando una capacità di 100pF ed in questo range è garantito un errore di non linearità dell'1% ed un consumo di potenza di circa 6mW per canale.

Un altro ASIC a 32 canali, in tecnologia 250nm, è stato sviluppato per potersi interfacciare con una Time Projection Chamber per la rivelazioni di particelle, sviluppato al Brookhaven National Laboratory, Upton (USA) [29]. L'architettura di canale è costituita da uno stadio di preamplificazione di carica, realizzato per mezzo di una configurazione folded cascode ed ingresso common source, caratterizzato da un guadagno variabile tra 17 e 32 mV/fC. Uno shaper di ordine 2 fornisce un impulso di segnale con tempo di picco a 600ns. Il livello dc di uscita dello shaper è reso stabile e controllabile per mezzo di un circuito baseline holder. Il canale è anche provvisto di un peak detector che viene abilitato alla rilevazione di un evento da parte di un discriminatore interno. Il peak detector memorizza il picco del segnale all'uscita dello shaper e genera un segnale digitale nell'istante del raggiungimento del picco. Per mezzo di un Time-to-Amplitude converter è possibile ottenere l'informazione temporale dell'evento. Sia l'informazione di carica che di tempo dell'evento sono memorizzate come tensione su una capacità di 2pF e indirizzate durante la fase di lettura verso pad esterne, attraverso un multiplexer. I segnali di controllo dell'integrato sono affidati ad una logica esterna, quindi in questo caso parliamo di un'elettronica completamente analogica. Le prestazioni in termini di risoluzione energetica sono pari a $250e^-$ rms considerando una capacità del detector di 5pF, mentre la risoluzione temporale si attesta a 4ns, per un tempo di drift pari a 6 μ s.

GEMINI[30] è un System on Chip (SOC) progettato in tecnologia 180nm, per essere utilizzato con rivelatori di tipo triple-GEM. L'ASIC è equipaggiato di un controllore I2C per la calibrazione ed la configurazione dei canali. GEMINI fornisce per ognuno dei suoi 16 canali l'uscita analogica dello shaper ed il segnale di trigger LVDS. Inoltre il canale è in grado di auto-resettare la capacità di

integrazione del preamplificatore di carica. I risultati simulati del sistema, riportano una elevata capacità di rilevazione in termini di rate degli eventi, sino a 5Mcps. Per quanto riguarda le prestazioni di rumore simulate con una capacità del rivelatore di 40pF, il massimo valore di ENC risultante è pari a 1.48fC. Il guadagno di circa di 1mV/fC è calibrato attraverso una procedura di taratura digitale, interna all'ASIC, necessaria per compensare variazioni statistiche di processo della capacità di integrazione del preamplificatore. Il consumo di potenza previsto è di circa 6.3mW/canale.

Tutte le varie soluzioni presentate sono caratterizzate da prestazioni più o meno elevate in termini di risoluzione energetica e temporale, adeguandosi principalmente al tipo di applicazione per il quale sono state progettate, ma nessuna di esse implementa una soluzione SOC auto-triggerante e capace allo stesso tempo di fornire all'esterno informazioni energetica e temporale direttamente nel dominio digitale.

Capitolo 2 Progetto del canale analogico

2.1 Le specifiche del progetto

Al fine di valutare la dinamica che deve avere il front-end per leggere la totalità della carica generata da un evento nella GEM, si fa riferimento alla relazione (1.3) nella quale è stato valutato pari a 93 il numero di elettroni generati per cm e si considera il tipico guadagno di una tripla GEM che si attesta tra 10^3 - 10^4 . Ipotizzando dunque che la carica sia raccolta interamente da un solo canale di lettura (caso ideale in quanto la carica avrà un profilo spaziale di tipo gaussiano distribuendosi tra più canali), la massima carica da leggere risulta essere pari circa a 4.65×10^5 elettroni, se il guadagno imposto alla GEM è pari a 5000. Tali elettroni equivalgono ad una carica di 74.4fC, dunque si può imporre la dinamica del front-end intorno a 80fC.

Il guadagno tensione-carica del canale può essere valutato fissando arbitrariamente la dinamica in tensione all'uscita del CSA. Una sensibilità di 17mV/fC conduce ad un massimo segnale all'uscita del preamplificatore di carica pari a circa 1.35V. Essendo il guadagno del CSA pari a:

$$A_{CSA} = \frac{1}{C_f} \quad (2.1)$$

per realizzare il valore di sensibilità richiesto sarebbe necessaria una capacità C_f pari a circa 59fF. Si è scelto di distribuire il guadagno totale del front-end tra il CSA e lo *shaper*, in modo da portare il contributo del CSA a 5mV/fC, per cui la capacità di integrazione diventa 200fF ed è tale da poter sicuramente trascurare i contributi dovuti alle capacità parassite, che introdurrebbero elementi di incertezza nel valore del guadagno.

L'evento a energia minima che si vuole rilevare è legato alla risoluzione spaziale che si vuole ottenere. Infatti, nell'applicazione prevista, la ricostruzione della posizione dell'evento verrà effettuata applicando tecniche di calcolo del centroide della carica, per cui un'incertezza nella valutazione della carica stessa implicherà l'insorgere di un errore nella determinazione della posizione dell'evento. La risoluzione energetica richiesta per questa applicazione richiede un ENC minore di 1000 elettroni.

La struttura di riferimento per l'architettura del canale analogico è la classica cascata di un Charge Sensitive Preamplifier (CSA), che integra il segnale di corrente generato dal rivelatore utilizzando un integratore invertente con feedback capacitivo, e di un filtro formatore, o *shaper*, che garantisce il

ritorno alla baseline del segnale di uscita dallo *shaper*, assicurando la possibilità di sostenere la frequenza media di eventi che ci si aspetta senza che insorgano fenomeni di pile-up. Inoltre lo *shaper* è in grado di ottimizzare il rapporto segnale-rumore all'uscita della catena analogica di elaborazione del segnale. Nella Tesi si richiamano innanzitutto i principali criteri generali di progettazione e le relazioni funzionali intercorrenti tra i parametri dei dispositivi utilizzati per la realizzazione del CSA e le sue specifiche in termini di rumore equivalente in ingresso espresso in carica (Equivalent Noise Charge o ENC). Tutte le componenti di rumore del CSA progettato, basato su un amplificatore invertente di tipo cascode a elevato guadagno e su un buffer di uscita, vengono descritte e prese in considerazione, assieme alle scelte progettuali associate. Anche il tema della stabilità del circuito viene trattato con adeguata profondità, così come quello della scelta delle correnti di polarizzazione e del dimensionamento del circuito di feedback che deve essere utilizzato per scaricare la capacità di integrazione e riportare l'uscita del CSA al valore corrispondente al punto di lavoro. Per lo *shaper* si utilizza invece un filtro attivo del secondo ordine, per il quale è prevista la possibilità di *fine tuning* della baseline e di una costante di tempo che può essere utilizzata per eliminare eventuale presenza di *undershoot* nel segnale di uscita oltre che per dimensionare il tempo di picco.

In cascata allo *shaper* è stato introdotto nella catena di elaborazione analogica del segnale un *peak detector* (PD), basato su un sistema retroazionato in cui, come elemento rettificante, è stato utilizzato uno specchio di corrente, in grado di erogare corrente solo in una direzione su una capacità. Il PD può funzionare in tre differenti modalità: inseguitore di tensione mentre il circuito aspetta l'arrivo di un segnale utile, peak detector vero e proprio subito dopo che è stato rivelato un segnale utile e infine, dopo che il picco del segnale è stato raggiunto, memoria analogica che semplifica le operazioni di multiplexing e conversione analogica-digitale. I segnali che gestiscono i diversi modi di funzionamento sono generati automaticamente dalla logica interna integrata nell'ASIC.

L'uscita dello *shaper* di ciascun canale è confrontata con una soglia programmabile mediante un discriminatore veloce, che fornisce in uscita il segnale il cui fronte identifica appunto l'istante di tempo di arrivo di un segnale valido, cioè sopra-soglia. Di conseguenza ciascuno dei 32 canali fornisce l'uscita del PD, analogica e proporzionale alla carica associata all'evento rilevato, e un segnale caratterizzato da un fronte veloce in corrispondenza del superamento della soglia da parte del segnale di ingresso. In figura 2.1 è riportato uno schema a blocchi dell'architettura di canale[31].

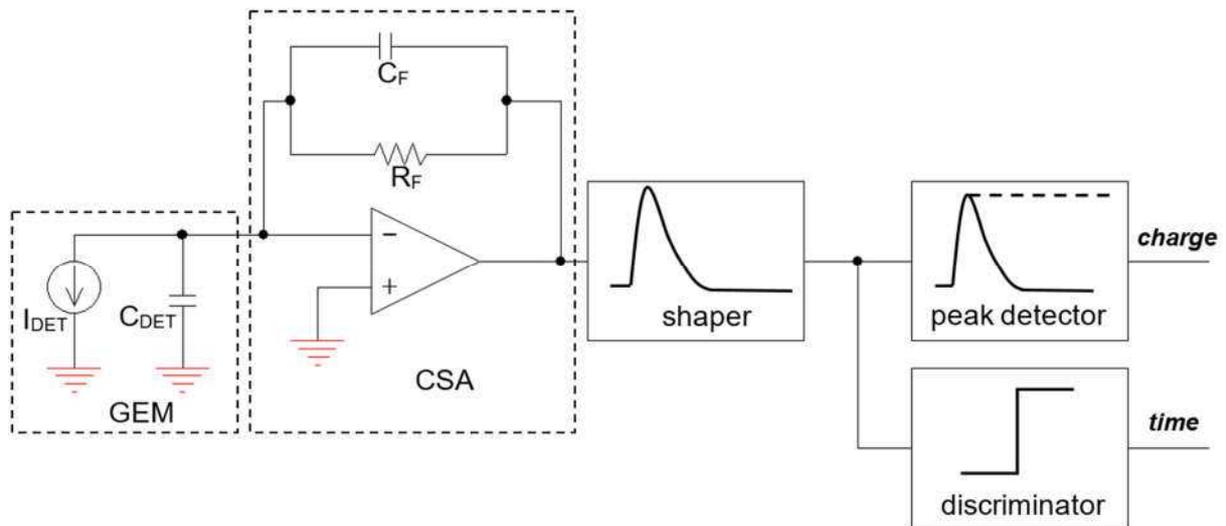


Figura 2.1: Diagramma a blocchi dell'architettura del canale analogico.

2.2 Progetto del CSA

L'architettura individuata per la realizzazione del CSA è descritta nello schema a blocchi rappresentato in figura 2.2 [32].

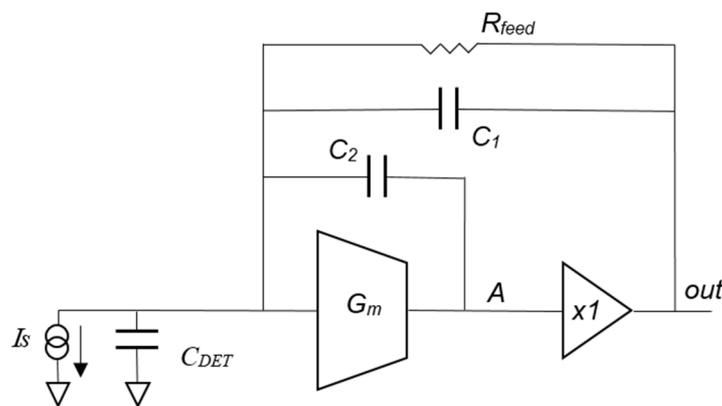


Figura 2.2: Schema descrittivo del Charge Sensitive Amplifier.

Il CSA utilizza come *core amplifier* un OTA di tipo cascode che ha il vantaggio di avere il polo non dominante ad elevata frequenza e permette di realizzare un elevato prodotto guadagno-larghezza di banda (GBW), in prima approssimazione fornito dal rapporto tra la transconduttanza dello stadio e la capacità di retroazione locale C_2 . Le capacità C_1 e C_2 , disposte in pratica in parallelo attraverso il *buffer* di uscita, determinano il guadagno dell'integratore, ma hanno inoltre un importante ruolo per

la determinazione della stabilità del sistema retroazionato. Assieme alla resistenza di feedback, C_1 e C_2 fissano inoltre la costante di tempo di scarica τ_F del CSA.

Il cammino DC che rappresenta la resistenza di feedback vista nello schema generico del CSA è realizzato mediante un transistor di tipo PMOS [33,34], mantenuto in regione di saturazione e polarizzato grazie ad un generatore di corrente, con corrente controllabile attraverso l'utilizzo di un resistore esterno, per rendere più flessibile il sistema [35]. Lo schematico completo del CSA è riportato in figura 2.3, trascurando la rete di polarizzazione.

In accordo con le relazioni riportate nel capitolo 1, è possibile valutare il minimo valore di ENC teorico in funzione del valore della capacità del detector. Una stima approssimata del valore della capacità della GEM da utilizzare è pari a 10pF. L'analisi per via analitica è stata condotta considerando un valore per la lunghezza di canale del transistor di ingresso M_{in} pari a $0.35\mu\text{m}$, ovvero la minima possibile per questa tecnologia. La corrente di polarizzazione somma di I_{MIRR1} e I_{MIRR2} è assunta pari a circa 270uA ed è stata aumentata quanto più possibile sempre in accordo con la relazione (1.52), cercando di renderla compatibile rispetto al *budget* totale di corrente disponibile per ogni canale, pari a 2mA.

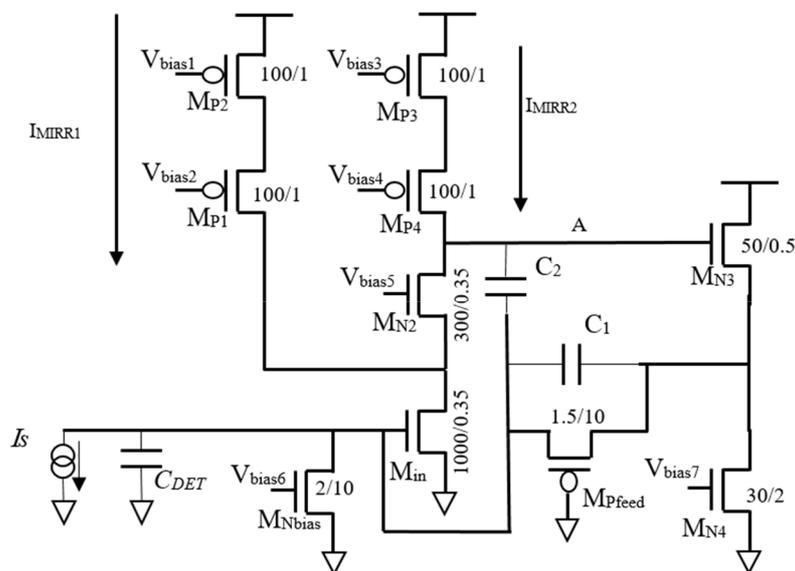


Figura 2.3: Schematico CSA.

Si è scelto di implementare uno *shaper* del primo ordine, con considerazioni che saranno svolte nel seguito.

Per quanto riguarda l'ENC₀, bisogna osservare che, a differenza della trattazione generale fatta precedentemente, possiamo considerare trascurabile in questo caso il rumore *shot* del rivelatore, ma rilevante il rumore termico legato al transistor M_{Pfeed}, che realizza la resistenza di feedback, e quello legato al generatore di corrente M_{NBIAS} necessario per polarizzare lo stesso transistor di feedback. Dunque una rivisitazione della (1.51) produce:

$$ENC_0^2 = \left(i_{dMPfeed}^2 + i_{dMNbias}^2 \right) \frac{\tau_s B \left(\frac{1}{2}, n + \frac{1}{2} \right)}{q^2 4\pi n} \left(\frac{n!^2 e^{2n}}{n^{2n}} \right) \quad (2.2)$$

Per conoscere $i_{dMPfeed}^2$ e $i_{dMNbias}^2$ è necessario stimare il valore della transconduttanza dei relativi MOSFET.

Fissato il guadagno del CSA la resistenza di feedback è determinata dalla costante di reset τ_f che si vuole realizzare:

$$R_{feed} = \frac{\tau_f}{C_1 + C_2} \quad (2.3)$$

Considerando che la massima *rate* degli eventi stabilita è 1MHz e che vogliamo poter usufruire della dinamica completa del CSA, τ_f deve essere tale che la coda del segnale in uscita al CSA si esaurisca prima di 1 μ s. Fissando τ_f a 250ns la resistenza avrà scaricato circa il 98% della carica iniziale, evitando così eventuali problemi di pile-up del segnale. Bisogna considerare in ogni caso che l'azione dello *shaper* mitiga questo problema e per questo motivo τ_f può essere controllata con più libertà.

Dalla (2.3) otteniamo $gm_{MPfeed} = 0.8\mu S$, essendo R_{feed} l'inverso della transconduttanza di M_{Pfeed}.

Inoltre la corrente media che scorrerebbe nella resistenza di feedback, nel caso in cui una carica di 80fC fosse iniettata nel canale ad una rate di 1MHz vale, dalla (1.29), 80nA, corrente capace di spostare il punto operativo all'uscita del CSA di 100mV, quantità del tutto tollerabile e che non è in grado di far saturare il preamplificatore.

Per rendere trascurabile il contributo al rumore totale del transistor M_{Pfeed} la lunghezza di canale è stata fissata a 10 μ m. Allora l'*aspect ratio* W/L di M_{Pfeed} vale:

$$\left(\frac{W}{L}\right)_{MPfeed} = \frac{gm_{MPfeed}^2}{2I_D k_p} = 0.128 \quad (2.4)$$

Fissato W_{MPfeed} a $1.5\mu m$ la tensione d'uscita in DC è imposta dalla $V_{SGMPfeed}$:

$$V_{SGMPfeed} = \sqrt{\frac{2I_D}{kp' \left(\frac{W}{L}\right)_{MPfeed}}} + V_{TH} = 815mV \quad (2.5)$$

Dove il valore di tensione di soglia V_{TH} considerato è $700mV$. Tuttavia poiché la tensione source-bulk è maggiore di zero la V_{TH} sarà maggiore di quella considerata, quindi la tensione in DC all'uscita del CSA risulterà maggiore di $815mV$ per il dimensionamento fatto. La $g_{dsMPfeed}$ è valutata intorno a $350pS$.

Per quanto riguarda M_{Nbias} , anche in questo caso si è scelto di lavorare con una lunghezza di canale elevata e con un *aspect ratio* pari a $2/10$, per minimizzare la transconduttanza e quindi il rumore termico del MOSFET. Considerando una corrente di controllo pari a $50nA$, si ottiene $gm_{MNbias} = 1.85\mu S$.

Attraverso un approccio numerico è possibile individuare il minimo ENC per un determinato valore di capacità del rivelatore, come mostrato in figura 2.4. Il grafico restituisce un valore di ENC_{min} teorico pari a 358 elettroni per una capacità di $10pF$. In figura 2.5 è possibile osservare come l'ENC complessivo in funzione della larghezza di canale W del dispositivo di ingresso presenti il minimo per un valore W pari a circa $4000\mu m$. Transistor di queste dimensioni hanno un pesante impatto sull'area complessiva del canale e sul livello di integrazione, per questo motivo si è scelto di dimensionare W a 1000 , valore per il quale ENC_T vale circa 410 elettroni. Il valore scelto per il tempo di picco τ_s dello shaper è tale da minimizzare l' ENC_T , infatti per valori minori di $60ns$ prevale l' ENC_{th} mentre per valori maggiori di $100ns$ prevale l' ENC_0 , dunque il valore ottimo individuato è pari $80ns$.

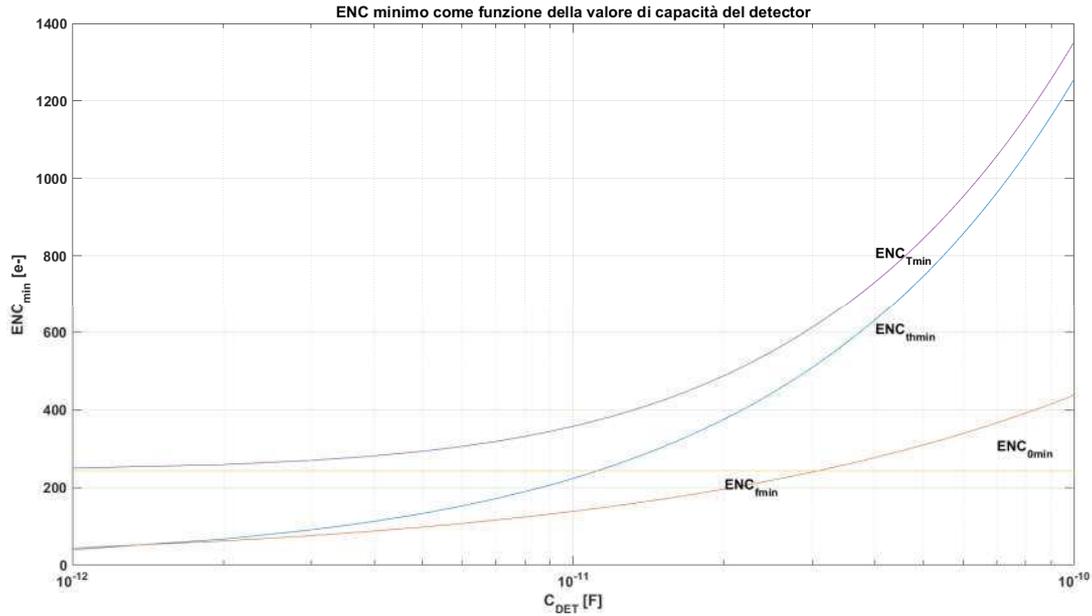


Figura 2.4: Effetto della capacità del detector sul ENC minimo.

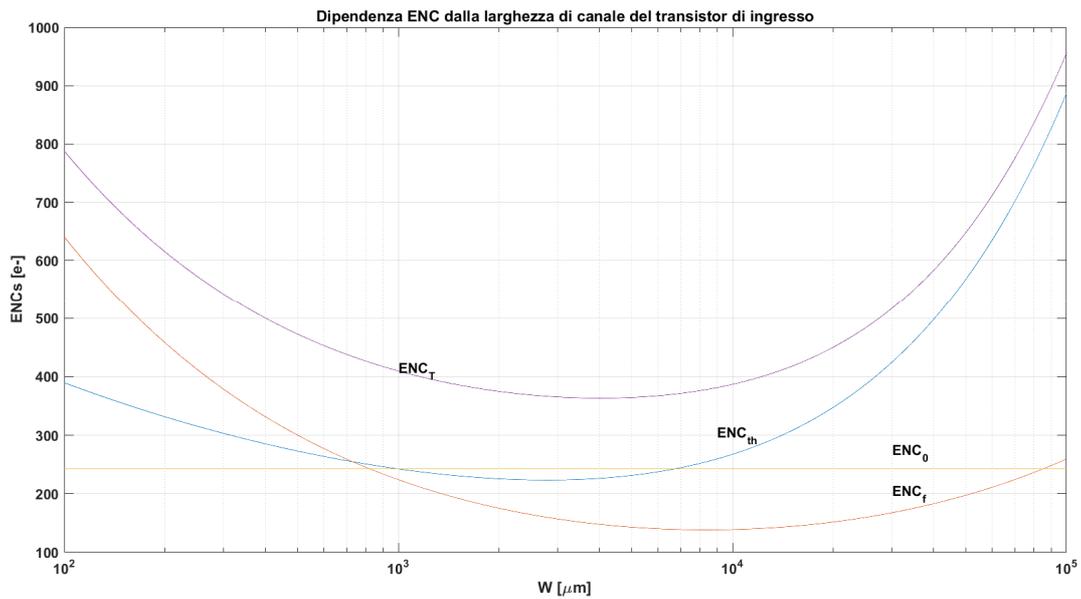


Figura 2.5: Dipendenza dell'ENC dalle dimensioni del mosfet di ingresso.

La stima del rumore fatta sinora non tiene conto del contributo dei due generatori di corrente utilizzati per polarizzare il MOSFET di ingresso. Essi producono un rumore in corrente che può essere non trascurabile e che va a contribuire al rumore in tensione equivalente totale in ingresso, aggiungendosi al contributo del transistor M_{in} . Ciò che può essere fatto in questo senso è aumentare l'area dei

transistori usati per erogare la corrente di polarizzazione, per tagliare il rumore flicker, e lavorare con elevate tensioni di *overdrive* per limitare la transconduttanza.

Il contributo all'ENC totale legato al rumore termico degli specchi vale:

$$ENC_{thBIAS}^2 = \frac{8}{3} kT \frac{gm_{MP2} + gm_{MP3}}{gm_{Min}^2} \frac{C_T^2 B\left(\frac{3}{2}, n - \frac{1}{2}\right) n}{q^2 4\pi\tau_s} \left(\frac{n!^2 e^{2n}}{n^{2n}}\right) \quad (2.6)$$

È evidente che gm_{Min} abbatte fortemente questo contributo, ma allo stesso tempo è opportuno controllare che il valore di $gm_{MP2} + gm_{MP3}$ rimanga basso. Per il circuito dimensionato i contributi maggiori al rumore complessivo integrato nella banda di interesse all'uscita dello *shaper* sono riportati in Tabella 2.1:

Tabella 2.1: Contributi in percentuale al rumore complessivo simulato all'uscita dello *shaper*.

Dispositivo	Contributo al rumore totale in uscita [%]
M_{in}	39
M_{Nbias}	10.2
M_{P2}	7.85
M_{Pfeed}	6.28
M_{P3}	4.43

Come è evidente dalla Tabella 2.1 il contributo di M_{in} continua ad essere quello dominante, mentre risulta non trascurabile il contributo del rumore termico legato ai due generatori di corrente M_{P2} e M_{P3} , contributo che non è stato preso in considerazione nell'analisi condotta e conseguentemente ha portato ad una certa sottostima dell'ENC. Infatti l'ENC simulato risulta essere nettamente maggiore e pari a 652 elettroni.

L'ENC trovato risulta ancora essere tuttavia sufficiente per soddisfare le specifiche di risoluzione energetica richiesta al front-end.

Avendo massimizzato la transconduttanza di M_{in} , e quindi abbassato la sua tensione di *overdrive*, il dispositivo si trova a lavorare in regione sotto-soglia, dove la gm vale:

$$gm = \frac{I_D}{\eta V_{TH}} \quad (2.7)$$

con V_{TH} tensione termica pari a 26mV a 300°K e lo *slope factor* $\eta = 1.6$. Allora:

$$gm_{Min} \approx 6.5mS \quad (2.8)$$

Per studiare la stabilità del circuito è stato valutato il guadagno d'anello per via analitica, la cui espressione è qui riportata di seguito, assieme alla posizione delle singolarità dominanti in anello aperto:

$$\mathcal{G}_i(s) = \frac{A_0 \cdot gm_{MPfeed}}{gds_{MPfeed}} * \frac{\left(\frac{C_2}{gm_{Min}} s + 1 \right) \left(\frac{C_1}{gm_{MPfeed}} s + 1 \right)}{\left(\frac{A_0 C_2}{gds_{MPfeed}} s + 1 \right) \left(\frac{C_1 + C_{in}}{GBW_{OTA} C_2} s + 1 \right)} \quad (2.9)$$

$$p_1 = \frac{gds_{MPfeed}}{A_0 C_2} \quad (2.10)$$

$$p_2 = \frac{GBW_{OTA} C_2}{C_1 + C_{in}} \quad (2.11)$$

$$z_1 = \frac{gm_{MPfeed}}{C_1} \quad (2.12)$$

$$z_2 = \frac{gm_{Min}}{C_2} \quad (2.13)$$

in cui A_0 e GBW_{OTA} sono rispettivamente il guadagno in continua e il prodotto guadagno-banda dell'amplificatore in transconduttanza utilizzato come *core amplifier*, mentre la capacità C_{in} è somma di tutti i contributi all'ingresso (capacità del rivelatore e capacità parassite del transistor di ingresso). La stabilità del circuito è garantita dalla presenza delle due capacità C_1 e C_2 , la cui somma è fissata dal guadagno che si vuole ottenere nel CSA. Come è evidente dall'espressione del guadagno d'anello, la capacità C_2 opera lo *splitting* dei due poli, per cui all'aumentare del valore di C_2 è possibile spingere il secondo polo p_2 ben oltre la pulsazione di transizione ω_T e garantire un margine di fase superiore a 45°. In realtà i vincoli progettuali legati alla stabilità non sono molto stringenti per questa architettura, per via della presenza della capacità C_1 la quale contribuisce alla stabilità del sistema, attraverso l'introduzione di uno zero a bassa frequenza che è possibile posizionare nei pressi del secondo polo in modo tale da realizzare una cancellazione polo-zero ed ottenere un margine di fase molto vicino a

90°. La presenza di un secondo zero nel guadagno d'anello non è importante alle frequenze in gioco, in quanto l'elevata transconduttanza richiesta per tagliare il rumore equivalente in ingresso spinge lo zero ad altissima frequenza. È utile osservare inoltre che, ai fini della stabilità, un valore elevato per il GBW_{OTA} permette di portare p_2 a frequenza elevata con evidenti ulteriori vantaggi in termini di margine di fase.

La scelta progettuale in questo caso è ricaduta nel posizionare lo zero z_1 alla pulsazione di transizione ω_T e p_2 ad una frequenza maggiore di $3\omega_T$ garantendo un margine di fase nominale maggiore di 90°. In questa maniera anche nel caso in cui ci sia un elevato, ma improbabile *mismatch* che sposti lo zero alla frequenza di p_2 i vincoli di stabilità rimarranno rispettati.

$$\omega_z = \omega_T \Rightarrow C_1 = C_2 = 100 \text{ fF} \quad (2.14)$$

$$\omega_T = \frac{gm_{MPfeed}}{C_2} = 8 \frac{\text{Mrad}}{\text{s}} \quad (2.15)$$

I requisiti minimi necessari ad integrare la maggior parte della carica nel CSA implicano che la costante di tempo di reset sia maggiore della durata dell'impulso di carica, in modo tale da non scaricare la capacità del CSA durante l'integrazione, ed allo stesso tempo che l'uscita del CSA sia in grado di seguire il segnale di carica in ingresso.

Nell'intera trattazione, sia a livello teorico che in fase di simulazione, la carica entrante nel canale sarà considerata come carica contenuta in un impulso di corrente rettangolare di durata 50ns la cui area è proprio pari alla carica Q.

Affinché lo stadio segua il segnale di carica, è necessario che il suo *rise time* τ_r sia al massimo pari a 40ns. Ciò implica che la costante di tempo del secondo polo della rete in anello chiuso, da cui dipende il tempo di risposta dell'integratore, sia pari a:

$$\tau_{2f \min} = \frac{\tau_r}{2.2} \cong 18 \text{ ns} \quad (2.16)$$

Affinché il segnale sia pienamente nella banda del CSA fissiamo τ_{2f} a 3.6ns, pari a $0.2\tau_{2f \min}$.

Da un calcolo diretto, la funzione di trasferimento in transimpedenza del preamplificatore è stata valutata e qui riportata:

$$A_f(s) = \frac{R_{feed}}{\left[R_{feed} (C_1 + C_2) s + 1 \right] \left[\frac{C_1 + C_{in}}{(C_1 + C_2) GBW_{OTA}} s + 1 \right]} \quad (2.17)$$

$$\tau_{1f} = R_{feed} (C_1 + C_2) \quad (2.18)$$

$$\tau_{2f} = \frac{C_1 + C_{in}}{(C_1 + C_2)GBW_{OTA}} \quad (2.19)$$

La relazione (2.17) è stata ottenuta supponendo poli distanti. Come è possibile osservare, per frequenze comprese tra il primo ed il secondo polo, la funzione di trasferimento tende all'integratore ideale con guadagno inversamente proporzionale alla somma delle capacità $C_1 + C_2$. τ_{1f} risulta essere la costante di tempo di reset del CSA.

Alla frequenza del secondo polo, possiamo approssimare la capacità C_{in} a quella del rivelatore, dunque dalla (2.19) possiamo estrarre il valore di GBW dell'OTA:

$$GBW_{OTA} \approx 17.4 \frac{Grad}{s} \quad (2.20)$$

Il polo p_2 dalla (2.11) è quindi pari a 174 Mrad/s, valore che rispetta i vincoli di stabilità imposti.

Al fine di minimizzare il contributo di rumore dei generatori di corrente usati per la polarizzazione dello stadio di ingresso, essi sono stati dimensionati utilizzando un'elevata W per massimizzare l'area ed abbattere il flicker ed operando con elevato *overdrive* circa pari a 200mV per abbattere il rumore termico. La corrente che scorre nell'OTA è stata fissata a 70μA, circa un quarto del budget imposto dal rumore. Questa scelta permette da un lato di aumentare il guadagno del *core amplifier*, aumentando la resistenza d'uscita della configurazione cascode, infatti:

$$R_A = \frac{gm_{MP4} \cdot gm_{MN2}}{I_{MIRR2} (\lambda_n gm_{MP4} + \lambda_p gm_{MN2})} \quad (2.21)$$

con λ_n e λ_p pari a $0.017V^{-1}$.

D'altro canto, sbilanciando i contributi di corrente dei due specchi M_{P2} e M_{P3} diminuiamo il loro rumore complessivo riportato nella (2.22):

$$i_d^2 = \frac{8}{3} kT (gm_{MP2} + gm_{MP3}) = \frac{8}{3} kT \left(\sqrt{2kp' \frac{W}{L} I_{D1}} + \sqrt{\beta} \sqrt{2kp' \frac{W}{L} I_{D1}} \right) = \frac{8}{3} kT \left(\sqrt{\alpha I_{D1}} + \sqrt{\beta} \sqrt{\alpha (I_T - I_{D1})} \right) \quad (2.22)$$

dove β è il rapporto tra gli *aspect ratio* dei due specchi, mentre I_T e I_{D1} sono rispettivamente la corrente complessiva che scorre nel MOSFET di ingresso e quella che scorre in M_{P2} . Derivando

rispetto a I_{D1} si nota infatti che i_d^2 nella 2.22, ha un massimo per $I_{D1} = I_{D2}$, dove I_{D2} è la corrente che scorre in M_{P3} .

Nota la corrente I_{MIRR2} e I_{MIRR1} la tensione di *overdrive* V_{OV} degli specchi possiamo valutare il valore di gm_{MP3} e gm_{MP2} :

$$gm_{MP3} = \frac{2I_{MIRR2}}{V_{OV}} = 700 \mu S \quad (2.23)$$

$$gm_{MP2} = \frac{2I_{MIRR1}}{V_{OV}} = 2 mS \quad (2.24)$$

Per diminuire ulteriormente il contributo al rumore complessivo di M_{P2} , la sua transconduttanza è stata ulteriormente diminuita a 1.3mS, aumentando V_{OV} a 300mV, avendo per questo specchio molto margine di dinamica. Con i valori trovati nella (2.23) e nella (2.24) restano dimensionate gli *aspect ratio* dei generatori di corrente ai seguenti valori:

$$\left(\frac{W}{L}\right)_{MP3} = 100 \quad (2.25)$$

$$\left(\frac{W}{L}\right)_{MP2} = 100 \quad (2.26)$$

Un elevato valore del guadagno d'anello, assicura che tutta la carica proveniente dal rivelatore entri nel CSA grazie alla massa virtuale in ingresso. Posto $\mathcal{G}_{i0} = 140dB$ possiamo calcolare il valore del guadagno A_0 in DC dell'amplificatore cascode.

$$\mathcal{G}_{i0} = \frac{A_0 \cdot gm_{MPfeed}}{gds_{MPfeed}} \quad (2.27)$$

Dalla 2.27 si ricava A_0 essendo note tutte le altre quantità:

$$A_0 \approx 4000 \quad (2.28)$$

Infine, noto il valore della transconduttanza del MOSFET di ingresso, è necessario realizzare una resistenza di carico totale equivalente R_A al nodo di uscita del cascode maggiore di 615k Ω per avere un guadagno A_0 maggiore di 4000.

La g_{mMN2} è data, a partire dalla relazione (2.21) da:

$$g_{mMN2} \approx 1.9mS \quad (2.29)$$

Si porta M_{N2} a lavorare in regione di debole inversione dove la corrente è regolata dalla relazione:

$$I_D = I_{D0} \frac{W}{L} e^{\frac{V_{GS}-V_T}{\eta V_{TH}}} \quad (2.30)$$

valida per valori di tensione drain-source maggiori di $2V_{TH}$. La tensione minima che si può applicare all'uscita dell'OTA è data da:

$$V_{Amin} = V_{DS(SAT)MN4} + V_{GS,MN3} = 1.1V \quad (2.31)$$

considerando una tensione di saturazione di M_{N4} pari a 200mV ed imponendo $V_{GS,MN3}$ pari a 0.9V.

Tale tensione garantisce ad M_{in} e M_{N2} di rimanere in saturazione essendo $V_{Amin} > 2\eta V_{TH}$.

La tensione massima V_{Amax} al nodo di uscita del cascode vale invece:

$$V_{Amax} = VDD - 2V_{DS(SAT)MP3} = 2.9V \quad (2.32)$$

Il punto operativo all'uscita del CSA è fissato principalmente, come abbiamo visto, dalla corrente di *bias* del transistor M_{Pfeed} regolabile esternamente. Possiamo determinare la massima corrente che consente di osservare correttamente tutta la dinamica del segnale all'uscita del CSA. Da V_{Amax} all'uscita del cascode, si ricava il massimo valore di tensione all'uscita dello stadio, pari a 2V e nota la massima escursione teorica del segnale V_{DRsig} , data dalla (2.33):

$$V_{DRsig} = 5 \frac{mV}{fC} \cdot 80fC = 400mV \quad (2.33)$$

la tensione in uscita nel punto di lavoro deve valere 1.6V da cui:

$$I_{MPfeed,max} = k_p \frac{W}{L} (V_{out,max} - V_{TH})^2 = 1.35\mu A \quad (2.34)$$

con V_{TH} pari ad 1V.

Il *source follower* costituito da M_{N3} e M_{N4} è utilizzato per fissare la tensione sul nodo d'uscita e allo stesso tempo per pilotare lo *shaper*. Con una corrente di polarizzazione di 60uA ed imponendo una $V_{GS,MN3}$ pari a 0.9V si ottiene:

$$\left(\frac{W}{L}\right)_{MN3} = 100 \quad (2.35)$$

Anche per M_{N3} sono stati tenuti in conto il *body effect* e la conseguente modulazione della tensione di soglia.

2.2.1 Simulazione del CSA

In figura 2.6 sono riportati il modulo e la fase del guadagno d'anello per il CSA dimensionato. Come è possibile osservare, le singolarità del circuito in simulazione sono in accordo con quelle trovate dai calcoli analitici, in particolare si osserva come il margine di fase sia ampiamente oltre i 90° garantendo un'elevata stabilità e la frequenza di transizione sia pari a circa 2MHz. Un esempio di risposta nel tempo osservabile all'uscita del CSA è mostrata in figura 2.7. In questa simulazione, l'ingresso del CSA è un impulso di corrente di durata 50ns, contenente una carica pari a 20fC. È possibile osservare le due fasi ben distinte, la prima nell'intervallo di tempo in cui è presente il segnale in corrente del rivelatore, in cui il CSA sta integrando e risponde in tensione con un andamento pressoché lineare in funzione del tempo, la seconda ovvero la fase di scarica della capacità di integrazione, caratterizzate da una costante di tempo τ_f .

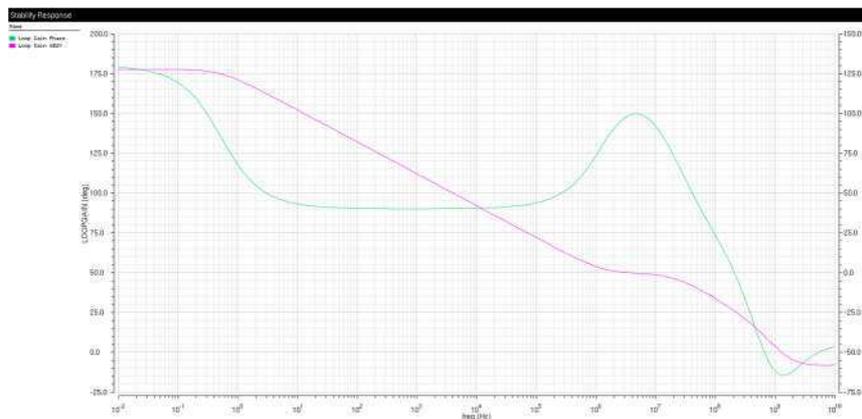


Figura 2.6: Risposta in frequenza del guadagno d'anello del CSA.

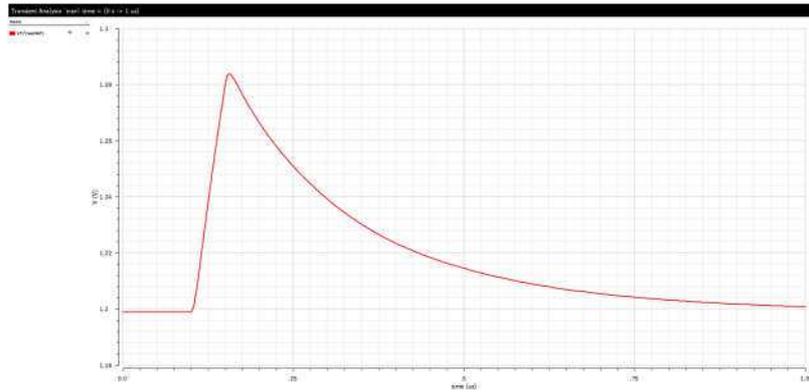


Figura 2.7: Risposta nel tempo del CSA ad un impulso di corrente contenente una carica di 20fC.

2.3 Lo *shaper*: struttura e dimensionamento

Un classico *shaper* è normalmente realizzato mediante la cascata di due circuiti RC, uno avente una risposta passa-alto (derivatore) ed uno avente una risposta passa-basso (integratore) di ordine n , la cui funzione di trasferimento è data dalla (1.44) [22]. Lo *shaper* che si vuole realizzare è del tipo CR-RC.

Lo *shaper* è stato realizzato per mezzo di un *biquad* a singolo amplificatore (SAB) [36]. In genere, la realizzazione di questo circuito prevede l'uso della retroazione per spostare i poli di un circuito RC dall'asse reale negativo, in posizione a coppie complesse coniugate utili a determinare la risposta selettiva del filtro. Come è possibile osservare dallo schema in figura 2.8, questa architettura presenta un secondo anello di retroazione, che comprende l'amplificatore A_2 , che ha la funzione sia di fissare il punto operativo all'uscita dello *shaper*, che quella di introdurre uno zero a frequenze molto basse [37,38]. Studiando separatamente i due anelli di retroazione possiamo esplorare tutti i parametri descrittivi del sistema.

Il circuito RC dello *shaper* è costituito dalla rete a T inserita nel primo anello di retroazione negativa in cui è chiuso l'amplificatore A , come rappresentato in figura 2.9.

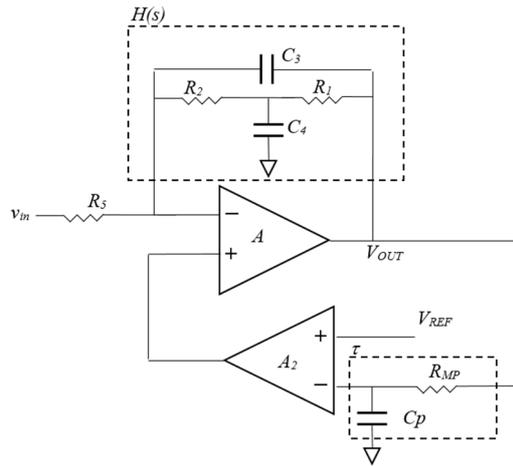


Figura 2.8: Schema circuitale dello shaper realizzato.

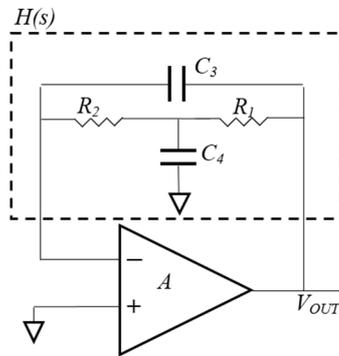


Figura 2.9: Filtro $H(s)$ realizzato per mezzo di un SAB.

Supponendo l'amplificatore A ideale alle frequenze di interesse, il guadagno d'anello vale:

$$\mathcal{G}_i = A \cdot H(s) = A \frac{N(s)}{D(s)} \quad (2.36)$$

in cui $H(s)$ è la funzione di trasferimento della rete RC vista dall'uscita verso il nodo invertente e $N(s)$ e $D(s)$ sono rispettivamente il numeratore e il denominatore di $H(s)$.

La posizione dei poli in anello chiuso della rete è data dall'equazione caratteristica:

$$1 + \mathcal{G}_i = 0 \Rightarrow \frac{N(s)}{D(s)} = -\frac{1}{A} \quad (2.37)$$

Dunque per $A \rightarrow \infty$ i poli in anello chiuso sono restituiti dagli zeri di $H(s)$.

La valutazione diretta di $H(s)$ è riportata qui di seguito:

$$H(s) = \frac{s^2 + s \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \frac{1}{C_4} + \frac{1}{R_1 R_2 C_3 C_4}}{s^2 + s \left(\frac{1}{C_4 R_1} + \frac{1}{C_4 R_2} + \frac{1}{C_3 R_2} \right) + \frac{1}{R_1 R_2 C_3 C_4}} \quad (2.38)$$

Questa rete può presentare zeri complessi e coniugati per valori del fattore di qualità maggiori di 0.5.

La pulsazione ω_0 e ed il fattore di qualità Q possono essere valutati per confronto dalla (2.39):

$$s^2 + s \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \frac{1}{C_4} + \frac{1}{R_1 R_2 C_3 C_4} = s^2 + s \frac{\omega_0}{Q} + \omega_0^2 \quad (2.39)$$

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_3 C_4}} \quad (2.40)$$

$$Q^{-1} = \frac{\sqrt{R_1 R_2 C_3 C_4}}{C_4} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \quad (2.41)$$

L'espressione analitica della risposta in anello chiuso è riportata nella (2.42):

$$A_f = \frac{v_{OUT}}{v_{in}} = - \frac{R_1 + R_2}{R_5} \frac{(1 + s R_{p12} C_4)}{1 + s(R_1 + R_2)C_3 + s^2(R_1 R_2 C_3 C_4)} \quad (2.42)$$

Dove R_{p12} è il parallelo tra R_1 e R_2 . Come previsto i poli in anello chiuso coincidono con gli zeri di $H(s)$. Il segnale di ingresso è imposto al filtro attraverso la resistenza R_5 che permette inoltre di fissare il guadagno in continua.

Per dimensionare questo circuito possiamo porre:

$$R_1 = R_2 = R \quad (2.43)$$

$$C_4 = C \quad (2.44)$$

$$C_3 = \frac{C}{m} \quad (2.45)$$

con $m = 4Q^2$.

Per imporre poli reali e distinti è necessario che Q sia minore di 0.5. Fissiamo dunque arbitrariamente Q a 0.45.

Con il valore fissato per Q il parametro m vale 0.81. Nel caso di poli reali e distinti, i poli della (2.42) e lo zero valgono:

$$p_{1/2} = -\frac{\omega_0}{2Q} \mp \omega_0 \sqrt{\frac{1}{4Q^2} - 1} \quad (2.46)$$

$$z_3 = -\frac{1}{R_{p12} C_4} \quad (2.47)$$

Il guadagno dello *shaper* nella (2.42) $A_0 = (R_1 + R_2) / R_5$ è fissato principalmente da R_5 e non influenza, come è evidente dalle relazioni precedenti, la posizione di poli e zeri del filtro. R_5 è scelto in maniera tale da soddisfare la specifica sul valore del guadagno complessivo del sistema *CSA-shaper*.

Il secondo anello di retroazione, fissa il punto operativo all'uscita dello *shaper* ed introduce uno zero a frequenze molto basse. Infatti, dall'analisi del circuito alle basse frequenze, si ottiene:

$$v_{OUT}(s) = -\frac{v_{in}}{\frac{1}{A_f} + \frac{A_2}{1+s\tau} \left(1 + \frac{1}{A_f}\right)} + \frac{V_{REF} \frac{A_2}{1+s\tau} \left(1 + \frac{1}{A_f}\right)}{\frac{1}{A_f} + \frac{A_2}{1+s\tau} \left(1 + \frac{1}{A_f}\right)} \quad (2.48)$$

Dove A_2 è il guadagno dell'amplificatore nel secondo anello di retroazione, mentre A_f è il guadagno individuato dalla (2.42) e che a bassa frequenza è praticamente A_0 . La costante di tempo τ è prodotta dalla resistenza R_{MP} , realizzata per mezzo della resistenza equivalente drain-source di un MOSFET a canale P polarizzato in zona di triodo con V_{DS} nulla, e dalla capacità totale C_p vista all'ingresso dell'amplificatore A_2 , come rappresentato in figura 2.10 che riporta lo schematico dello *shaper* con il dettaglio riguardante il MOSFET M_p .

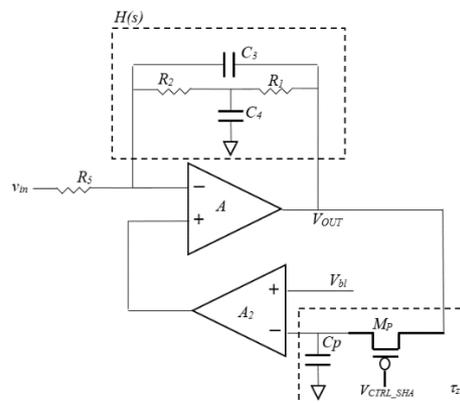


Figura 2.10: Schematico shaper e formazione della costante di tempo τ_z dello zero a bassa frequenza.

Supponendo ideale la risposta in frequenza dell'amplificatore, possiamo concludere che a bassa frequenza si ha:

$$\frac{1}{A_0} \ll \frac{A_2}{1+s\tau} \left(1 + \frac{1}{A_0}\right) \quad \text{per } s \rightarrow 0 \quad (2.49)$$

Quindi dalla (2.48) si ha $v_{OUT}|_{s \rightarrow 0} \approx V_{REF}$, ovvero la retroazione ha prodotto uno zero per il segnale a bassa frequenza.

Quando $\frac{A_2}{1+s\tau} \rightarrow 0$ la (2.48) diventa:

$$v_{OUT} \approx -\frac{v_{in}}{A_f} \quad (2.50)$$

Poiché la (2.50) si verifica per frequenza molto maggiori di zero non è più lecito approssimare A_f con A_0 , dunque l'effetto del secondo anello di retroazione per frequenza maggiori della pulsazione $1/\tau$ è trascurabile ed il filtro è descritto completamente dalla (2.42).

Possiamo infine esprimere la risposta nel dominio di Laplace $v_{out}(s)$ dello *shaper* al segnale di uscita ideale del CSA, che è quindi la trasformata del gradino ideale, come:

$$v_{OUT}(s) = A_0 \left(\frac{1+s\tau_z}{1+s\frac{\tau_z}{\alpha}} \right) \frac{\left(1+\frac{s}{z_3}\right)}{\left(1+\frac{s}{p_1}\right)\left(1+\frac{s}{p_2}\right)} \frac{Q}{C_f s} \quad (2.51)$$

Dove τ_z è la costante di tempo introdotta dall'anello inferiore dello *shaper*, e che dà vita allo zero a bassa frequenza, la costante α indica la dipendenza del primo polo dello *shaper* dallo zero in τ_z e le altre singolarità sono associate alla rete a T. In particolare si osserva che p_2 e z_3 sono molto vicini e in pratica danno luogo a una cancellazione polo-zero. Inoltre considerando che è possibile rendere lo zero $1/\tau_z$ molto piccolo, esso si può approssimare come zero nell'origine, quindi in definitiva si ottiene una espressione approssimata abbastanza accurata del tipo:

$$v_{OUT}(s) = A_0 \frac{\tau_z}{C_f} \left(\frac{1}{1+s\tau_1} \right) \left(\frac{1}{1+s\tau_0} \right) Q \quad (2.52)$$

in cui τ_0 è la costante di tempo associata al polo introdotto dal secondo anello di retroazione, pari a τ_z/α , e τ_1 è la costante di tempo associata al polo p_1 introdotto dalla rete a T. Dunque, osservando la

(2.52), si conclude che la risposta approssimata del sistema CSA-shaper dipende principalmente da due poli e che il guadagno è proporzionale alla costante di tempo τ_z .

Nell'architettura scelta per lo *shaper* la resistenza R_{MP} raffigurata in figura 2.8, come già accennato, è realizzata per mezzo di un MOSFET tenuto in regione di triodo. In questa regione la resistenza equivalente di canale vale:

$$R_{MP} = \frac{L}{kp'W(V_{GS} - V_{TH})} \quad (2.53)$$

Poiché il valore della tensione di gate di questo MOSFET è regolabile e controllabile esternamente attraverso un DAC in tensione, è possibile variare la costante di tempo τ_0 e τ_z . Questo permette da un lato di regolare con sufficiente libertà il tempo di picco dell'impulso risultante all'uscita dello *shaper* ed aggiustare d'altro lato il guadagno del front-end. In figura 2.11 è mostrata una simulazione della risposta in frequenza del sistema completo CSA-*shaper* per due valori diversi della tensione di controllo V_{CTRL_SHA} applicata al gate del MOSFET M_P e mostrata in figura 2.10. Per valori crescenti della tensione V_{CTRL_SHA} la costante di tempo τ_0 diventa sempre più grande e lo zero si porta sempre più a bassa frequenza.

La risposta nel tempo del sistema descritto dalla relazione (2.52) vale:

$$v_{OUT}(t) = G \frac{\tau_0}{\tau_0 - \tau_1} \left(e^{-\frac{t}{\tau_0}} - e^{-\frac{t}{\tau_1}} \right) Q \quad (2.54)$$

Dove G è il guadagno del front-end pari a:

$$G = \frac{A_0 \tau_z}{C_f} \quad (2.55)$$

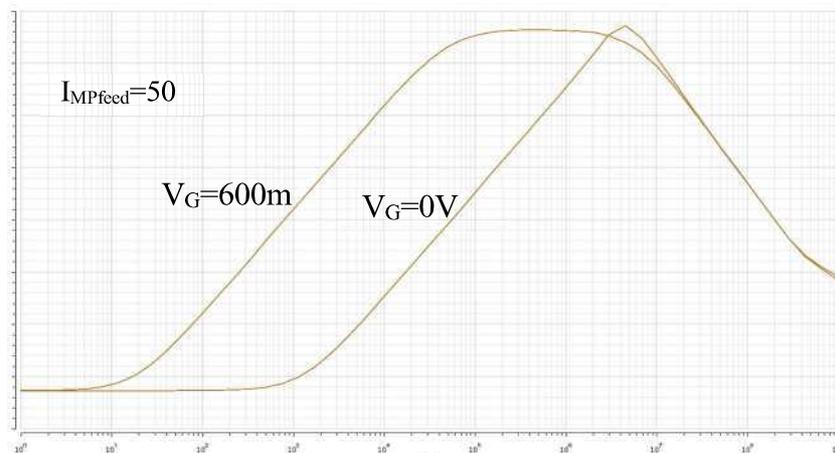


Figura 2.11: Risposta in frequenza della cascata CSA-*shaper*.

Dalla (2.54) si può facilmente derivare l'espressione del tempo di picco della forma d'onda in uscita allo *shaper*:

$$t_s = \frac{1}{\frac{1}{\tau_0} - \frac{1}{\tau_1}} \ln\left(\frac{\tau_1}{\tau_0}\right) \quad (2.56)$$

Per ottenere il guadagno voluto pari a 17mV/fC , A_0 , cioè il guadagno del solo *shaper*, è fissato a 6.67.

Poiché il polo p_1 determina la frequenza di taglio del filtro alle alte frequenze ed è necessario abbattere le componenti spettrali del rumore che si trovano oltre la banda del segnale utile, allo scopo di massimizzare il rapporto segnale rumore del front-end, si sceglie di posizionare tale polo a circa 60Mrad/s .

Noto p_1 , il valore di Q e con le posizioni fatte nella (2.43), (2.44) e (2.45), dalla (2.46) è possibile ricavare il valore di ω_0 che in questo caso vale 95.7Mrad/s .

La (2.40) diventa con le posizioni fatte:

$$\omega_0 = \frac{\sqrt{m}}{RC} \quad (2.57)$$

L'ultimo grado di libertà lo spendiamo fissando C a 150fF . Allora il valore del parametro R risulta fissato a $47\text{k}\Omega$ mentre C_3 risulta pari a 185fF .

I valori finali utilizzati per i componenti passivi sono stati leggermente aumentati rispetto a quelli appena determinati, per migliorarne l'accuratezza assoluta risultante da simulazioni Monte Carlo che tengono conto delle fluttuazioni statistiche del processo, ponendo $R=60\text{k}\Omega$ e $C_3=200\text{fF}$.

Per ottenere un guadagno A_0 pari a 6.67 è necessario dimensionare R_5 ad un valore pari a $18\text{k}\Omega$.

Imponiamo un attenuazione A_2 di almeno 50dB e che:

$$\frac{|1 + s\tau_z|_{s=j\frac{p_1}{10}}}{A_2} = A_0 \quad (2.58)$$

ovvero la posizione dello zero sia tale che la risposta in frequenza CSA-shaper abbia modulo pari ad A_0 in prossimità della frequenza $1/\tau_0$, con $1/\tau_0=p_1/10$.

Si ottiene:

$$\omega_z = \frac{1}{\tau_z} = \frac{P_1}{10A_0A_2} \approx 2.6 \frac{\text{krad}}{\text{s}} \quad (2.59)$$

La condizione imposta viene assicurata in corrispondenza di un valore della tensione di gate V_{CTRL_SHA} del P-MOSFET utilizzato per realizzare R_{MP} , pari a 0V.

Dalla (2.56) è possibile modificare il tempo di picco aggiustando il valore della costante di tempo τ_0 .

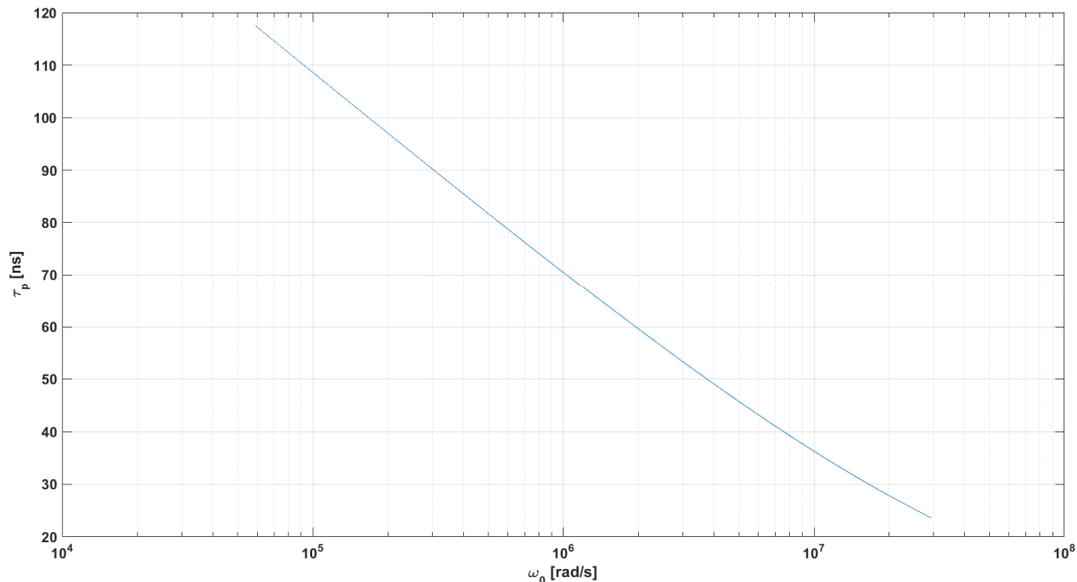


Figura 2.12: Tempo di picco dell'impulso in uscita allo *shaper* in funzione della pulsazione ω_0 .

In figura 2.12, per avere un tempo di picco di 80ns, ω_0 deve essere posizionato a circa 600 krad/s, il che corrisponde ancora una volta a una tensione V_{CTRL_SHA} pari a 0V.

In fase di caratterizzazione del circuito, si è rilevato un discostamento dalle condizioni ideali descritte, che rende necessario utilizzare un differente valore della tensione di controllo V_{CTRL_SHA} , in maniera tale che si possano regolare il tempo di picco e l'*undershoot* legato alla presenza del polo del CSA, in che implica, come vedremo, anche un compromesso in termini di prestazioni di linearità. Infatti il MOSFET utilizzato per realizzare la resistenza R_{MP} introduce un contributo di non linearità all'aumentare della tensione V_{CTRL_SHA} , in quanto in questo caso, in presenza del segnale, il comportamento del MOSFET stesso si discosta maggiormente da quello di un resistore lineare, a causa dello spostamento del punto operativo del MOSFET, che tende ad uscire più facilmente dalla zona di triodo.

Per rendere evidente l'andamento del comportamento non lineare del circuito in funzione della tensione di controllo dello *shaper*, in figura 2.13 è stata riportata la pendenza della caratteristica V/Q

che mostra la tensione di picco di uscita in funzione della carica di ingresso per il sistema CSA+shaper al variare della tensione di controllo V_{CTRL_SHA} . In condizioni nominali ($V_{CTRL_SHA} = 0$) la pendenza pari a 17mV/fC circa è abbastanza uniforme sino a 80fC ed è garantita una elevata linearità, come mostrato in figura 2.14, che riporta la caratteristica V/Q corrispondente appunto al caso $V_{CTRL_SHA} = 0$. L'errore di non linearità in condizioni ottimali, rilevabile in figura 2.14, è compreso in +/-1.7%, mentre sale notevolmente, sino a valori intorno a +/-10%, quando si aumenta il valore di V_{CTRL_SHA} , come evidenziato dalla notevole variazione della pendenza della caratteristica del front-end in corrispondenza di valori maggiori per la tensione di controllo V_{CTRL_SHA} . Tutto ciò è appunto dovuto alla non linearità introdotta dalla particolare implementazione della resistenza R_{MP} .

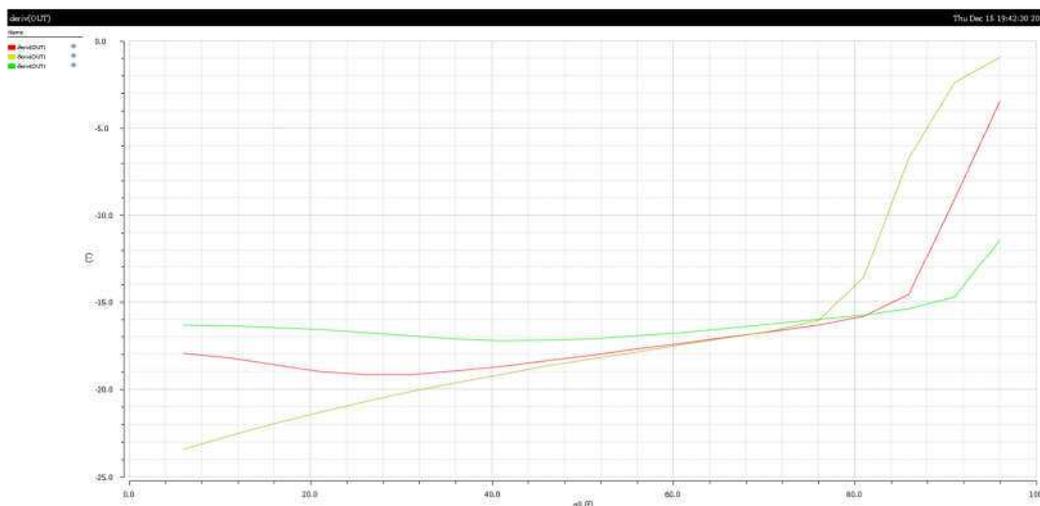


Figura 2.13: Pendenza della caratteristica V/Q del sistema CSA+shaper in funzione della carica di ingresso q_0 , per tre valori della tensione di controllo V_{CTRL_SHA} (Linea verde: 0V, Linea rossa: 450mV, Linea gialla: 800mV)

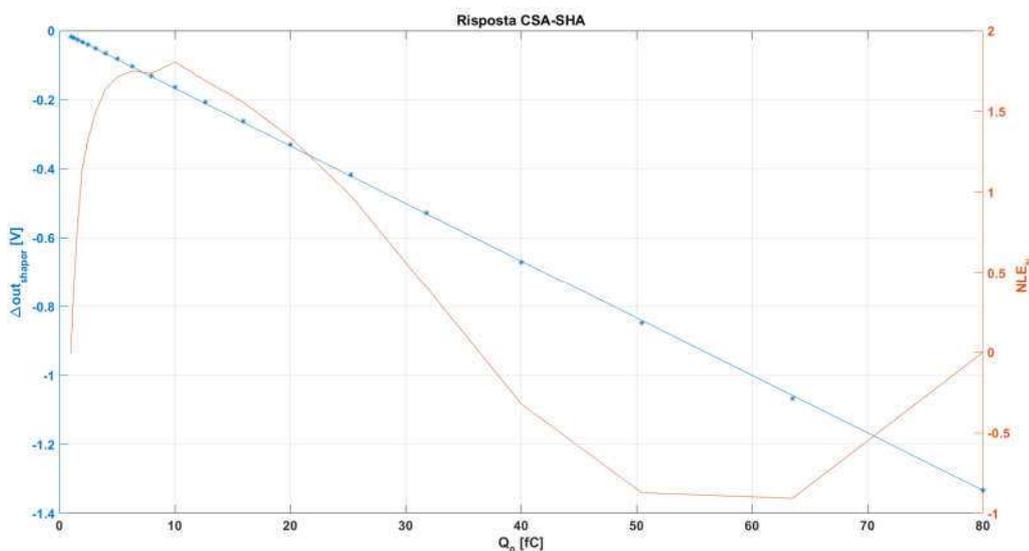


Figura 2.14: Caratteristica V/Q ed errore di non linearità dell'intero front-end con $V_{CTRL_SHA}=0V$, in funzione della carica iniettata in ingresso.

D'altra parte, come mostrato in figura 2.15, l'influenza della tensione di controllo V_{CTRL_SHA} sulla forma d'onda della risposta nel tempo del front-end è molto rilevante, dunque può essere opportuno lavorare con valori più alti di V_{CTRL_SHA} , per esempio per compensare l'*undershoot* del segnale. Inoltre è confermata la dipendenza del guadagno dalla costante di tempo τ_z : in particolare il guadagno aumenta all'aumentare di τ_z come previsto dalla relazione (2.55).

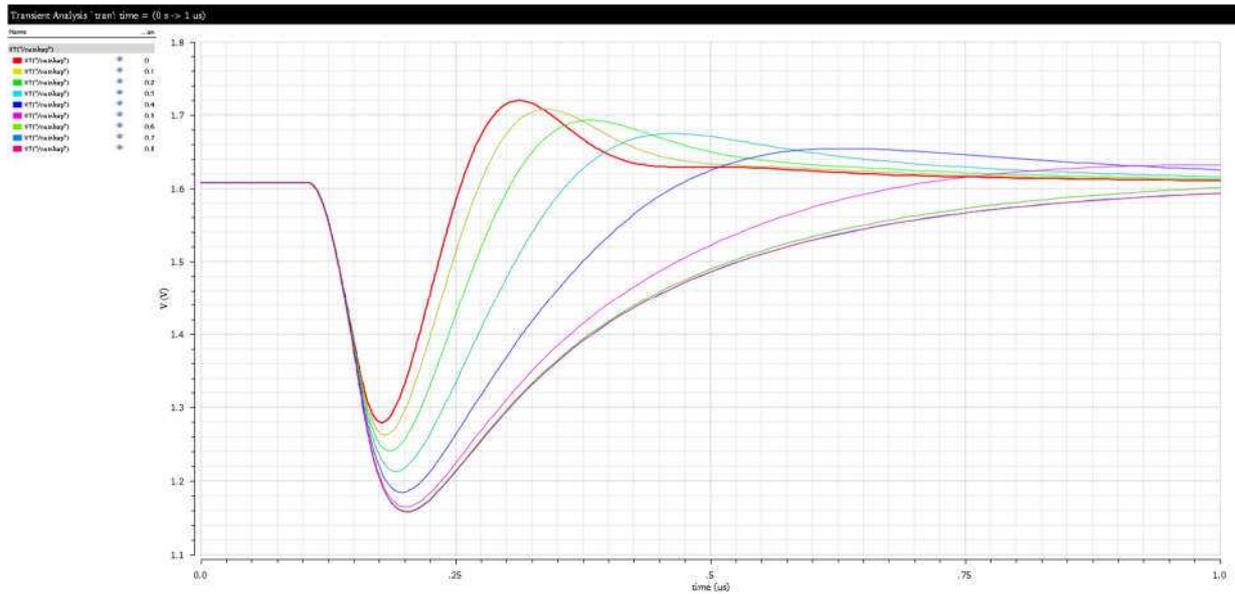


Figura 2.15: Risposta nel tempo del front-end al variare della tensione V_{CTRL_SHA} da 0V a 800mV iniettando nel canale una carica pari a 20fC.

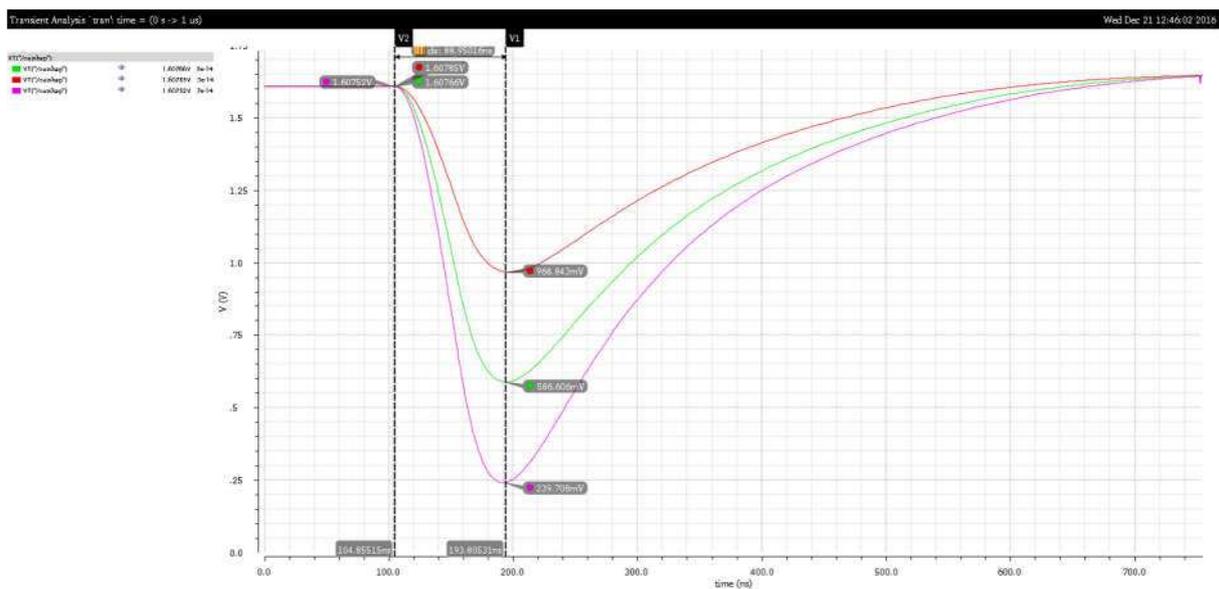


Figura 2.16: Risposta nel tempo del front-end per tre valori carica iniettata in ingresso (30fC,50fC,70fC). La simulazione è stata condotta con $V_{CTRL_SHA}=450mV$.

In figura 2.16, infine, è possibile osservare la risposta nel tempo del front-end al variare della carica iniettata in ingresso, per tre diversi valori di carica, in corrispondenza di un valore della tensione di controllo V_{CTRL_SHA} pari a 450mV, che è quello in corrispondenza del quale si riesce a ottenere praticamente l'eliminazione dell'*undershoot*. Il tempo di picco corrispondente per ognuna dei tre risposte è pari a circa 89ns.

2.4 Il peak detector

L'informazione energetica contenuta nel segnale in uscita al filtro formatore è legata al suo picco, per questo motivo è necessario prelevarne il livello di tensione associato, memorizzarlo e renderlo disponibile alle unità di elaborazione del segnale successive, facenti capo essenzialmente all'ADC.

Per svolgere queste funzioni, il circuito qui realizzato, opera in tre modalità: *tracking* o inseguitore di tensione, *peak detector* e *peak holder*. L'idea è quella di memorizzare il picco del segnale in ingresso, in una capacità che può essere vista come una memoria analogica [39,40]. Data la polarità del segnale fornito dal front-end, il Peak Detector (PD) dovrà essere adatto a rilevare i picchi negativi del segnale stesso. Il circuito corrispondente, mostrato in figura 2.17, è essenzialmente formato da uno stadio OTA, uno specchio di corrente formato dai MOSFET M_{N1} e M_{N2} , da un generatore di corrente commutabile M_{P3} e da una capacità di integrazione C_{PD} inseriti in un anello di retroazione negativa. La presenza di *switch*, realizzati attraverso *transmission-gate*, permette di commutare il circuito tra le differenti modalità operative. Di seguito si descrive il funzionamento del circuito.

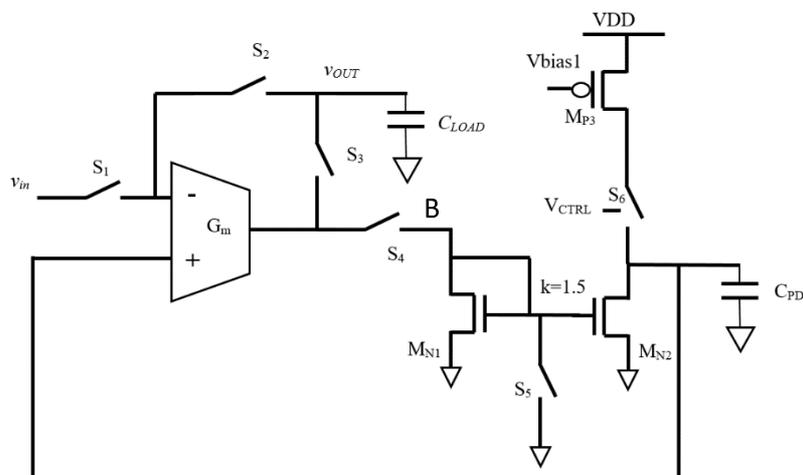


Figura 2.17: Schematico Peak Detector.

Nella fase di *tracking* lo *switch* S_1 ed S_4 sono mantenuti chiusi, così come S_6 , il quale è implementato per mezzo di un P-MOSFET il cui gate è pilotato da una tensione di controllo V_{CTRL} , che in questa fase assume valore nullo, mantenendo il P-MOSFET in profonda zona di triodo. Invece i rimanenti *switch* S_2 , S_3 e S_5 sono mantenuti aperti. In questa configurazione, il PD si comporta da inseguitore di tensione e rimane in questa fase sino al momento in cui l'ASIC rivela un segnale valido, cioè supera un determinato livello di soglia. Appena ciò accade, il circuito viene configurato in modo che si comporti da vero e proprio *peak detector*, il che avviene per mezzo dell'apertura dello *switch* S_6 , attuata portando il segnale di controllo V_{CTRL} a livello alto in modo da spegnere il corrispondente P-MOSFET. Essendo S_6 aperto, la corrente proveniente dal generatore M_{P3} viene inibita e la tensione sul condensatore C_{PD} non può più in nessun caso salire, ma solo scendere, fino a quando il picco negativo del segnale di ingresso non viene raggiunto. Appena ciò accade e la tensione di ingresso comincia a risalire, l'OTA satura verso il basso e lo specchio M_{N1} - M_{N2} si spegne, memorizzando il livello del picco negativo su C_{PD} . Dopo che il picco è stato memorizzato, il PD passa in modalità *peak holder*, aprendo S_1 e chiudendo S_2 , S_3 e S_5 , mentre S_6 è mantenuto aperto. In questa configurazione il circuito è nuovamente un inseguitore di tensione, ma questa volta la tensione inseguita è quella ai capi della capacità C_{PD} , la quale viene trasferita sul nodo di uscita, ai capi della capacità di carico C_{LOAD} .

Nella fase di *tracking*, quindi, ogni variazione della tensione di ingresso rispetto al punto di lavoro può essere seguita dalla capacità C_{PD} grazie alla presenza della corrente erogata da M_{P3} [41]. Ovviamente nel punto di lavoro, il feedback fa in modo che la corrente I_{MN2} di uscita dello specchio sia pari a quella erogata da M_{P3} , e quindi che la corrente in C_{PD} sia nulla. Invece, nella fase di *peak detection* l'inibizione della corrente di M_{P3} rende possibile per il circuito solo inseguire una tensione di ingresso decrescente, dato che la corrente nella C_{PD} , erogata dal solo specchio M_{N1} - M_{N2} , può essere solo uscente e si annulla in corrispondenza del picco del segnale di ingresso, interrompendo il feedback e mandando in saturazione l'OTA.

Nella fase di *peak holder* è importante garantire che la capacità C_{PD} non possa in alcun modo scaricarsi e per questo motivo lo *switch* S_5 viene acceso, cortocircuitando il gate di M_{N1} e M_{N2} a massa, in modo tale da evitare che piccole correnti sottosoglia perturbino il livello di tensione memorizzato. Una caratteristica importante da sottolineare è la capacità del sistema di eliminare gli effetti della tensione di offset di ingresso V_{OFF} dello stadio OTA. Infatti nella fase di rilevazione del picco la capacità memorizza una tensione pari a:

$$V_{C_{PD}} = V_{INpk} + V_{OFF} \quad (2.60)$$

in cui V_{INpk} è la tensione di picco del segnale, mentre in fase di *peak holder* l'uscita è pari a:

$$V_{out} = V_{C_{PD}} - V_{OFF} \quad (2.61)$$

per cui gli effetti della tensione di offset dell'OTA sono compensati.

2.4.1 Dimensionamento del PD

Si vuole assicurare una elevato fattore di desensibilizzazione e per questo motivo si pone il valore del rapporto di ritorno dell'anello di feedback $\mathcal{G}_i(0)$ pari a 60dB. In questa maniera si assicura un buon corto circuito virtuale tra i terminali di ingresso dell'OTA.

Avendo diversi gradi di libertà possiamo fissare $G_M = 1mS$ dove $G_M = G_{mOTA} \cdot k$ è il prodotto della transconduttanza dell'OTA G_{mOTA} e del rapporto k tra gli *aspect ratio* dei transistori dello specchio di corrente M_{N1} e M_{N2} . Si ha quindi:

$$\mathcal{G}_i(0) = G_{mOTA} \cdot \frac{g_{mMN2}}{g_{mMN1}} R_A = G_{mOTA} \cdot k \cdot \frac{1}{\lambda_n I_{MN2}} \quad (2.62)$$

dove R_A è la resistenza equivalente di drain r_{dsMN2} , che, essendo abbastanza più piccola, prevale nel parallelo con la resistenza equivalente vista guardando verso il generatore di corrente M_{P3} e lo *switch* S_6 . Il fattore k può essere scelto in modo da ottenere il valore desiderato G_M . Inoltre un valore di k maggiore di 1 permette di ridurre la massima corrente uscente dall'OTA, richiesta per caricare la capacità C_{PD} . In questo circuito il valore di k scelto è 1.5.

Dalla relazione (2.62) si ricava:

$$I_{MN2} = I_{MP3} = 20\mu A \quad (2.63)$$

con λ_n pari a 0.05 scegliendo $L=0.5\mu m$. Si dimensionano M_{N1} e M_{N2} in modo tale da non introdurre un carico capacitivo importante al nodo d'uscita dell'OTA. Infatti la posizione del primo polo non dominante dell'anello di retroazione, la cui posizione è importante ai fini della stabilità, è legata alla capacità e all'impedenza totali viste all'uscita dell'amplificatore in transconduttanza (nodo B nello schema in figura 2.17).

Nell'ipotesi che l'OTA non introduca singolarità alle frequenze di interesse, e che il primo polo non dominante nel guadagno d'anello sia associato all'impedenza vista sul nodo B, un'espressione del guadagno d'anello è data dalla (2.64):

$$\mathcal{G}_i(s) = \frac{1}{g_{m1}} \frac{G_{mOTA}}{1 + s\tau_B} \frac{g_{m2}R_A \left(1 - s \frac{C_{gdMN2}}{g_{m2}}\right)}{1 + s(C_{PD} + C_{gdMN2})R_A} \quad (2.64)$$

$$p_1 = \frac{1}{(C_{PD} + C_{gdMN2})R_A} \approx \frac{1}{C_{PD}R_A} \quad (2.65)$$

$$p_2 = \frac{1}{\tau_B} \quad (2.66)$$

$$z_3 = \left(1 - s \frac{C_{gdMN2}}{g_{m2}}\right) \quad (2.67)$$

Lo zero z_3 può essere trascurato in quanto non introduce contributi apprezzabili alle frequenze di interesse.

La costante di tempo τ_B è principalmente influenzata da g_{mMN1} e dalla capacità sul nodo B:

$$\tau_B \approx \frac{1}{g_{mMN1}} (C_{outOTA} + C_{gsMN1} + C_{gsMN2} + g_{m2}R_A C_{gdMN2}) \quad (2.68)$$

Il polo dominante p_1 dipende invece dal valore elevato della capacità C_{PD} .

La frequenza di transizione ω_T del guadagno d'anello fissa la banda del PD. Poiché il segnale di ingresso è stato precedentemente filtrato dallo *shaper*, la banda del PD deve essere almeno pari alla massima frequenza passante attraverso lo *shaper*. Dunque a partire dal polo p_1 dello *shaper*, ovvero 60Mrad/s si pone:

$$\omega_T = 5 \cdot 60 \frac{Mrad}{s} = 300 \frac{Mrad}{s} \quad (2.69)$$

Dal guadagno d'anello in continua e dalla posizione del primo polo possiamo ricavare un'espressione per la frequenza di transizione ω_T che permette di dimensionare il valore di C_{PD} :

$$C_{PD} = \frac{G_M}{\omega_T} \approx 3.6 \text{ pF} \quad (2.70)$$

Si può pensare di ridurre il valore della capacità per risparmiare area, tuttavia questo è in contrasto con i vincoli di stabilità del circuito, in quanto al decrescere di C_{PD} , la frequenza di transizione si avvicina al secondo polo e conseguentemente si ha un deterioramento del margine di fase. Inoltre una elevata ω_T implica dei vincoli troppo severi per la frequenza di taglio dell'OTA, che deve essere maggiore di $1/\tau_B$. Si fissa quindi C_{PD} a 3pF.

Il segnale dello *shaper* è caratterizzato da una massima escursione ΔV_{MAX} pari a 1.35V e da un tempo di picco τ_s pari a 80ns. Se approssimiamo grossolanamente la forma dell'impulso con un segnale triangolare possiamo ottenere la massima slope come:

$$Slope_{max} = \frac{\Delta V_{MAX}}{\tau_s} = \frac{I_{MAX}}{C_{PD}} \approx 17 \frac{V}{\mu s} \quad (2.71)$$

in cui I_{MAX} è la corrente necessaria affinché sulla capacità C_{PD} si possa ottenere la $Slope_{max}$ durante l'inseguimento del fronte negativo del segnale. Dalla precedente relazione si ha quindi:

$$I_{MAX} = 51 \mu A \quad (2.72)$$

In fase di scarica della capacità la corrente è fornita dall'OTA o più precisamente dallo specchio di corrente $M_{N1} - M_{N2}$, dunque la possibilità di seguire la massima *slope* del segnale dipende dalla capacità dell'OTA di erogare una corrente pari a:

$$I_{OTA,MAX} = I_{MAX}/k + I_{OTA,DC} \quad (2.73)$$

dove $I_{OTA,DC}$ è la corrente uscente dall'OTA nel punto di lavoro.

In fase di carica, la massima *slope* del segnale in tensione sulla capacità è imposta invece da I_{MP3} ed è pari, considerando i valori scelti per I_{MP3} e C_{PD} , a 6.6MV/s, minore di circa 2.5 volte rispetto alla *slope* massima in scarica e comunque assolutamente sufficiente per seguire l'evoluzione del segnale di ingresso nelle fasi di attesa degli eventi validi. Ciò che è abbastanza importante è che il PD recuperi la propria *baseline* prima del successivo evento. Il tempo di recupero t_{rec} , nel caso peggiore, ovvero in corrispondenza del segnale più ampio che si può verificare, è dato da:

$$t_{rec} = \frac{\Delta V_{MAX}}{Slope_{max}} = \frac{1.35V}{6.6MV/s} \approx 200ns \quad (2.74)$$

Il valore t_{rec} trovato nella (2.74) è ancora abbastanza piccolo da non incidere sulla rate degli eventi che si vuole leggere. Il valore corrispondente scelto per I_{MP3} è di $25\mu A$.

Se garantiamo all'uscita dell'OTA una tensione nel punto di lavoro almeno pari a $800mV$, tale da mantenere i MOSFET d'uscita dell'OTA in saturazione, la transconduttanza di M_{N2} deve valere:

$$g_{mMN2} = \frac{2I_{DMN2}}{V_{GSMP2} - V_{TH}} = \frac{50\mu A}{250mV} = 200\mu S \quad (2.75)$$

in cui la tensione di soglia V_{TH} è pari a $550mV$.

Per realizzare la transconduttanza totale G_M si è utilizzato un OTA in configurazione *folded cascode*, rappresentato in figura 2.18. Il grosso vantaggio di questa configurazione è la possibilità di lavorare con elevato GBW grazie alla presenza di nodi a bassa impedenza che introducono singolarità a frequenze prossime a quelle di taglio dei MOSFET. La transconduttanza dello stadio è in pratica fornita dalla transconduttanza dei MOSFET della coppia differenziale di ingresso. La corrente dimensionata per M_9 è pari a $180\mu A$, mentre g_{mM1} è circa uguale a $0.8\mu S$. Si può facilmente determinare il prodotto guadagno-banda GBW dello stadio che vale:

$$GBW = \frac{g_{mM1}}{C_L} \quad (2.76)$$

La capacità C_L è circa pari alle capacità $C_{GSMN1} + C_{GSMN2}$ e per questo motivo volendo realizzare un OTA con elevato GBW è necessario mantenere limitate le dimensioni di M_{N1} e M_{N2} .

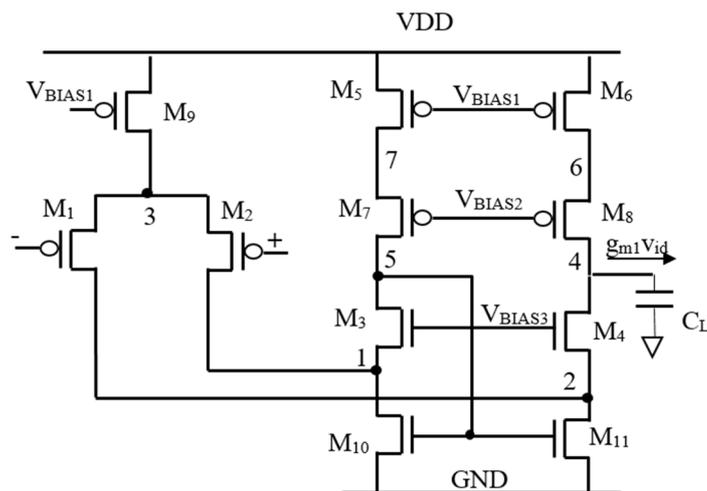


Figura 2.18: Schematico dell'OTA *folded cascode* utilizzato nel PD.

In figura 2.19 è mostrato l'andamento della tensione ai capi della capacità C_{PD} al variare della carica iniettata nel canale, da 5fC sino a 80fC. Ogni curva è confrontata con l'impulso generato all'uscita dello *shaper*. Prima dell'arrivo del segnale la tensione sulla capacità presenta un piccolo offset rispetto alla tensione di *baseline* dello *shaper*. Non appena arriva l'impulso il PD recupera tale offset e segue il segnale di ingresso sino al picco. Per ognuna delle curve mostrate il PD preleva il picco con precisione sufficientemente elevata. Il massimo scostamento assoluto rispetto alla tensione di picco dello *shaper* è minore di 5mV.

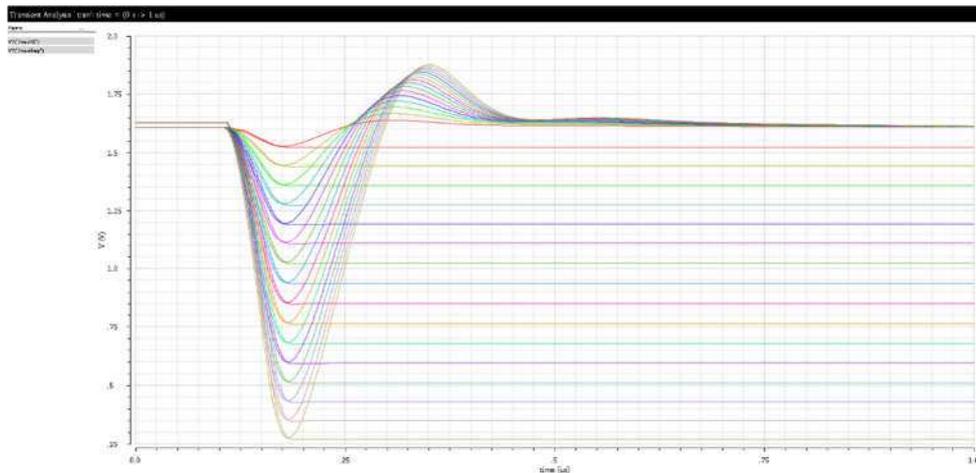


Figura 2.19: Comportamento nel tempo del PD al variare del segnale applicato al canale.

2.5 Discriminatore di tensione

Il segnale proveniente dallo *shaper* deve fornire, oltre all'informazione energetica legata al picco, anche un'informazione logica della presenza di evento valido nell'istante in cui il segnale supera una soglia in tensione prestabilita. Per far ciò è stato realizzato un comparatore, utilizzando una configurazione classica che utilizza una retroazione positiva per aumentare le transconduttanze dei dispositivi e quindi il guadagno complessivo dello stadio [42]. Il circuito è mostrato in figura 2.20. I transistori M_{P7} , M_{P8} , M_{N9} e M_{N10} operano la conversione da uscita differenziale a single-ended.

Il guadagno dello stadio con feedback positivo vale:

$$A_d = \frac{v_{o2} - v_{o1}}{v_- - v_+} = \sqrt{\frac{\mu_n (W/L)_1}{\mu_p (W/L)_3}} \frac{1}{1 - \alpha} \quad (2.77)$$

in cui α è il fattore di feedback positivo dato dal rapporto $(W/L)_4/(W/L)_3$. Il valore di α è determinato dalle dimensioni dei dispositivi di carico e sebbene sia un parametro ben controllato è opportuno evitare di superare il valore 0.9, poiché il *mismatch* legato a variazioni di processo può portare a superare il valore unitario, che compromette il buon funzionamento del circuito, rendendolo un bistabile.

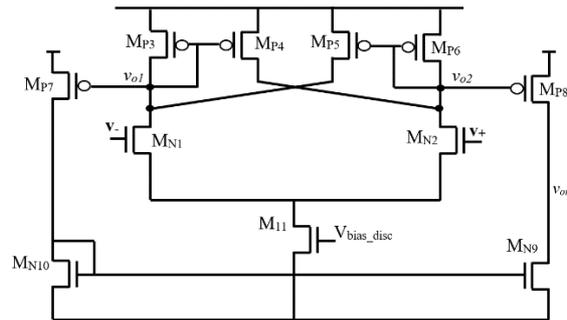


Figura 2.20: Schematico del comparatore di canale.

Di seguito si descrive il comportamento statico del comparatore. Supponiamo che il gate di M_{N2} sia portato a un potenziale inferiore rispetto a quello del gate di M_{N1} , che è posto al livello della tensione di soglia. Perciò M_{N2} è spento e tutta la corrente I_{M11} , scorre in M_{P3} e M_{N1} . Le correnti attraverso M_{N2} , M_{P4} , M_{P5} e M_{P6} sono nulle e l'uscita v_{o1} è bassa mentre v_{o2} è alta. Se v_+ comincia ad aumentare, quando si arriva a un livello vicino alla tensione di soglia parte della corrente comincia a fluire in M_{N2} . Questo processo continua sino a che si raggiunge la soglia, in corrispondenza della quale la corrente in M_{N2} è uguale a quella in M_{P6} . Un aumento della tensione oltre questo punto provoca la commutazione dello stadio di ingresso del comparatore nello stato opposto, cioè quello corrispondente a v_{o1} alta e v_{o2} bassa, che beneficia dell'aumento di guadagno garantito dalla presenza del loop di retroazione positiva formato dai MOSFET M_{P3} , M_{P4} , M_{P5} e M_{P6} .

La corrente di polarizzazione I_{M11} è stata dimensionata a $13\mu\text{A}$ e il fattore α è stato fissato a 0.85, per un guadagno A_d dato dalla (2.77) pari a circa 10.5.

Il segnale, prelevato dallo *shaper* e disaccoppiato in DC, è comparato ad una soglia programmabile, il cui valore è fissato tramite un DAC a 10 bit. Sia il segnale che la soglia sono applicati al comparatore indirettamente, per mezzo di un circuito di traslazione di livello rappresentato in figura 2.21.

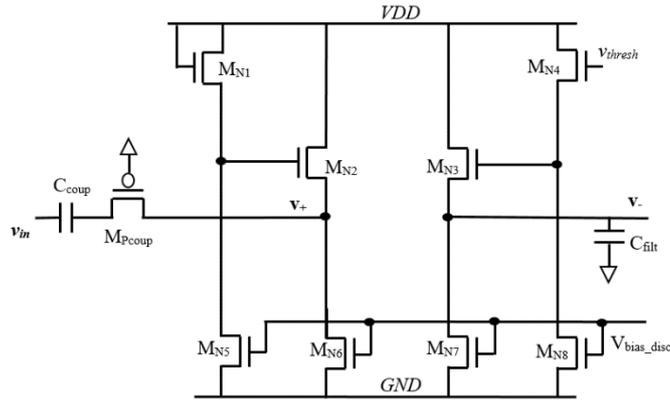


Figura 2.21: Schema del traslatore di livello in ingresso al comparatore.

La tensione v_{in} è la tensione d'uscita dello *shaper*, mentre v_- e v_+ sono collegati rispettivamente ai nodi invertente e non invertente del comparatore in figura 2.20.

Grazie all'accoppiamento in AC e al traslatore di livello è possibile posizionare il segnale al centro della dinamica di ingresso del comparatore, indipendentemente dal valore della *baseline* scelta all'uscita dello *shaper*.

Le correnti nei diversi rami del circuito in figura 2.21 sono state dimensionate per essere tutte uguali e pari a:

$$I_{MN5}=I_{MN6}=I_{MN7}=I_{MN8}=3.2\mu A \quad (2.78)$$

Allo stesso modo gli *aspect ratio* dei transistori M_{N1} , M_{N2} , M_{N3} e M_{N4} sono uguali tra loro, in maniera tale da avere le stesse tensioni gate-source V_{GS} per ogni dispositivo. In condizioni di equilibrio, scegliendo la tensione di soglia del comparatore v_{thresh} , pari alla tensione di alimentazione, i nodi di ingresso del comparatore v_+ e v_- si trovano allo stesso potenziale, pari a 1.3V. L'entità dello sbilanciamento tra i nodi v_+ e v_- che si ottiene riducendo la tensione v_{thresh} è proprio uguale alla soglia differenziale che si vuole applicare. In altre parole il comparatore sarà in grado di rilevare variazioni di segnale che siano maggiori dello scostamento tra v_+ e v_- indotto dalla tensione v_{thresh} . Dunque se per esempio vogliamo rilevare segnali maggiore di 20mV, la tensione v_{thresh} deve essere fissata a un livello di 20mV al disotto della tensione di alimentazione.

Quando il segnale di uscita dello *shaper*, che scende rispetto alla *baseline*, viene applicato all'ingresso del traslatore di livello, nella capacità di disaccoppiamento C_{coup} viene generata una corrente diretta verso il terminale di ingresso che, sommandosi alla corrente I_{MN6} , scorre nel MOSFET M_{N2} . Di conseguenza la tensione v_+ scende e, se la sua variazione è sufficientemente ampia rispetto allo

sbilanciamento introdotto nel comparatore a seguito del valore scelto per la tensione di soglia, esso si abbassa al di sotto del livello di tensione fissato sul nodo v_- , il comparatore scatta e l'uscita single-ended v_{out} commuta dal livello alto, corrispondente alla situazione di attesa di un evento valido, a quello basso, rilevando la presenza dell'evento valido sopra soglia.

2.6 Logica di canale

Una volta che un evento valido viene rilevato, la transizione del comparatore viene memorizzata in un flip-flop di tipo D (DFF), la cui uscita passa a livello logico alto. In questo istante la configurazione del PD deve essere commutata dalla modalità *follower* alla modalità di rilevazione del picco, per cui l'uscita del DFF pilota la tensione V_{CTRL} che controlla lo *switch* S_6 nel PD.

Il segnale in uscita al DFF è inoltre inviato all'esterno del canale per la formazione del segnale *TRIGGER* dell'ASIC, realizzato come OR logico di tutte le uscite dei canali [43].

In realtà si vuole che il PD di un canale passi in modalità *peak detection* non solo quando il comparatore dello stesso canale è scattato, ma anche in altre situazioni successivamente elencate:

- a) quando almeno in uno dei canali è stato rilevato un evento valido e contemporaneamente si vuole avere l'informazione relativa alla eventuale carica letta anche dai canali sotto soglia, i cui comparatori non sono scattati. Anche per questi canali, infatti, è necessario aprire lo *switch* S_6 , se si vuole fare in modo che la carica immagazzinata nel condensatore C_{PD} si conservi costante dopo che i PD sono passati in modalità *peak holder*, altrimenti il generatore di corrente M_{P3} del PD (fig. 2.17) non sarebbe inibito e continuerebbe a caricare il condensatore stesso, corrompendo l'informazione associata alla tensione ai suoi capi.
- b) quando si vuole forzare dall'esterno la lettura dei canali, caratteristica utile in applicazioni in cui il segnale di trigger è generato esternamente all'ASIC. Anche in questo caso si deve fare in modo che i canali sotto soglia conservino la corretta informazione di carica nella capacità C_{PD} dopo che viene inviato il segnale che fa passare i PD in modalità *peak holder*, esattamente come nel caso precedente.

Per questo motivo il segnale di controllo V_{CTRL} che inibisce la corrente del generatore M_{P3} del PD è generato come OR di tre diversi contributi come rappresentato in figura 2.22:

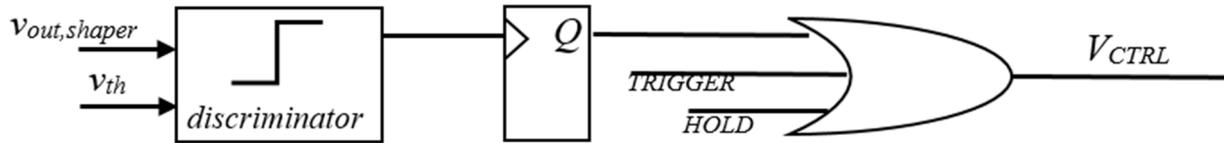


Figura 2.22: Schema a blocchi della logica di canale.

In figura 2.22 il segnale di *TRIGGER* è la OR dei segnali di uscita di tutti DFF dei canali, come è stato già accennato precedentemente, per cui è alto quando almeno uno dei canali ha rilevato un evento valido, mentre il segnale di *HOLD* è quello che determina il passaggio del PD in modalità di *peak holder*, cioè di inseguitore della tensione memorizzata sulla capacità C_{PD} . Nel caso in cui si vuole forzare dall'esterno la lettura dell'ASIC, anche se nessun canale dell'ASIC dovesse aver rilevato un evento valido, in ogni caso il generatore di corrente M_{P3} di tutti i PD sarà inibito non appena il segnale di *HOLD* viene attivato, per cui la capacità C_{PD} conserverà la carica contenuta in quell'istante.

Capitolo 3 Architettura ASIC

L'architettura dell'ASIC realizzata permette di svolgere due funzioni principali: la segnalazione della presenza di un evento valido, attraverso la generazione di un segnale di trigger, e l'estrazione dell'informazione energetica associata alla radiazione incidente.

Inoltre il sistema deve essere in grado di:

- leggere con sufficiente velocità l'informazione proveniente dai canali;
- essere capace di discriminare eventi non correlati tra loro;
- processare l'informazione nel dominio digitale;
- generare uno stream di dati che contiene tutte le informazioni lette e possa essere acquisito da una logica esterna;
- essere dotato di un certo grado di flessibilità attraverso l'utilizzo di registri interni programmabili e che permettono di manipolare i parametri di lettura.

Al fine di realizzare un sistema compatto e che permetta di ottimizzare il consumo di potenza, 32 canali analogici sono stati integrati nell'ASIC. In figura 3.1 si può osservare uno schema a blocchi dell'architettura.

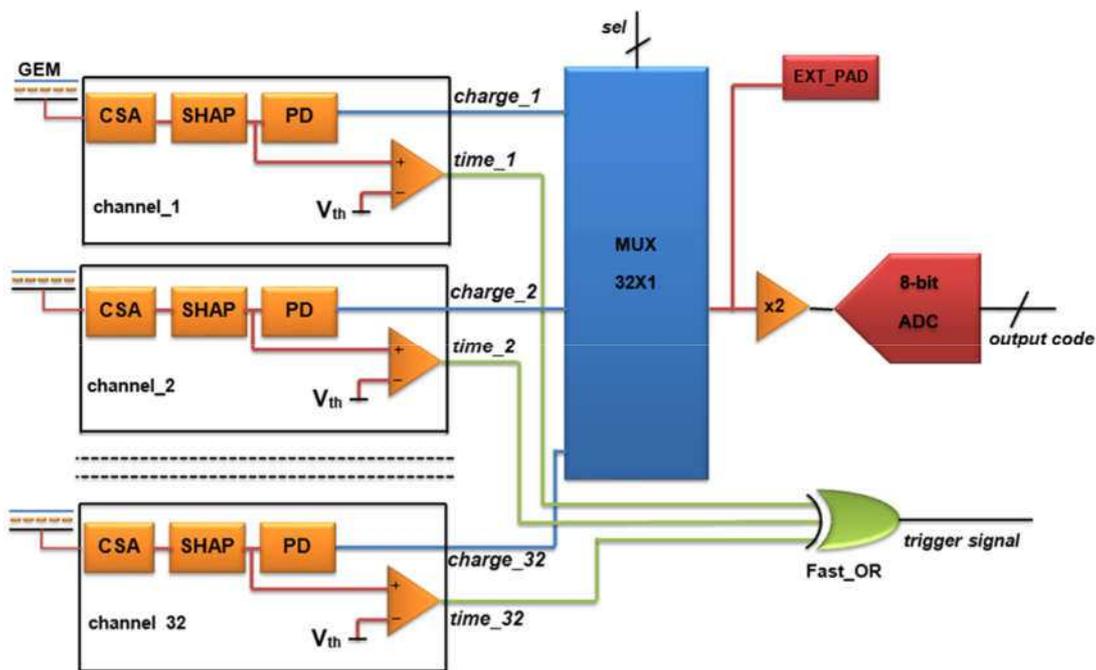


Figura 3.1: Schema a blocchi dell'architettura dell'ASIC.

Le uscite dei 32 canali dei PD sono inviate ad un multiplexer analogico 32x1, controllato attraverso un bus di selezione, affinché durante le operazioni di lettura, in maniera ordinata, l'informazione di canale venga disposta in ingresso ad un ADC a 8 bit. Per adattare il range dinamico di uscita del PD a quello di ingresso dell'ADC, compreso tra 0.3V e 2.9V, è stato inserito uno stadio di amplificazione realizzato per mezzo di una OPAMP in configurazione non invertente rappresentato in figura 3.2:

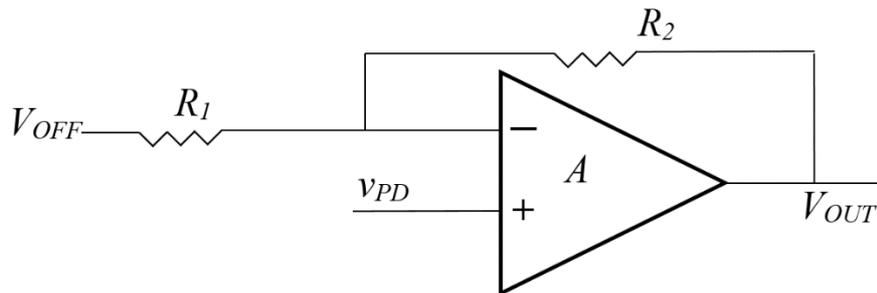


Figura 3.2: Amplificazione del segnale in uscita ai PD per adattarlo alla dinamica di ingresso dell'ADC.

La tensione in ingresso all'ADC è data dunque dalla relazione:

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right)v_{PD} - \frac{R_2}{R_1}V_{OFF} \quad (3.1)$$

Dove v_{PD} è la tensione uscente da uno dei 32 PD e V_{OFF} è una tensione programmabile per mezzo di un DAC a 8 bits. È stato dimensionato un guadagno pari a 2 utilizzando $R_1=R_2=49k\Omega$.

I segnali di uscita dei discriminatori di tensione dei 32 canali analogici, invece, vengono inviati a un circuito che effettua la OR dei segnali, in modo da produrre un *leading edge* nel momento in cui almeno uno dei canali va sopra soglia. Il segnale di uscita prodotto dal circuito di OR viene utilizzato per segnalare, sia all'interno che all'esterno del circuito integrato, il fatto che è stato rilevato un evento valido e quindi iniziare una procedura di lettura dell'ASIC.

L'uscita del multiplexer è inoltre collegata a una *pad* analogica di monitoraggio, utilizzata in maniera tale che si possa osservare direttamente una delle uscite dei canali. Un opportuno sistema di multiplexer permette da un lato di verificare su un oscilloscopio il funzionamento del circuito di rilevazione di picco, dall'altro, impostando il PD come inseguitore di tensione, monitorare l'uscita dello *shaper*. Uno schema rappresentativo della struttura circuitale utilizzata è mostrato in figura 3.3:

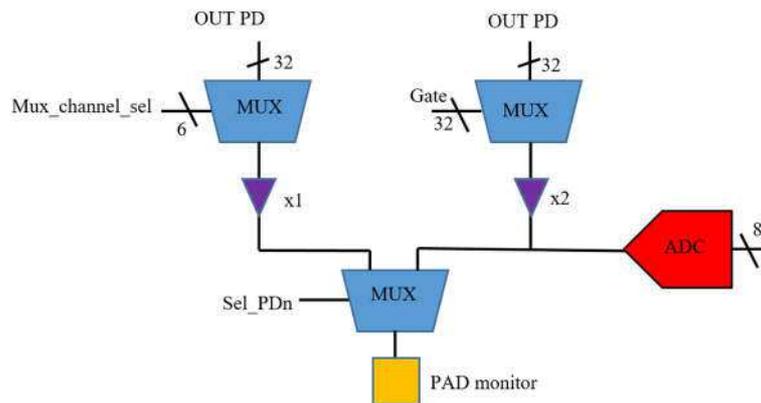


Figura 3.3: Schema a blocchi del sistema di selezione del segnale di ingresso dell'ADC e del segnale monitorato attraverso la *pad* analogica esterna.

Tutti i segnali di controllo riportati in figura 3.3 sono descritti successivamente in Tabella 3.1.

Nell'architettura sono stati integrati 4 DAC per garantire un elevato grado di flessibilità all'ASIC. Per realizzare tutti i DAC sono stati sfruttati degli *IP block* forniti dalla tecnologia utilizzata. Per la generazione della tensione di *baseline* all'uscita dello *shaper* di canale e della tensione di controllo dell'anello di retroazione lento dello *shaper* stesso sono stati utilizzati 2 DAC a 8 bit, mentre per la generazione delle tensioni di soglia dei comparatori nei canali sono stati utilizzati 2 DAC a 10 bit.

È possibile monitorare su una ulteriore *pad* analogica tutte le tensioni generate dai DAC integrati nell'ASIC, configurando opportunamente un multiplexer 5x1.

Per la gestione di tutte le fasi del processo di lettura dell'ASIC e per svolgere le funzioni di scrittura e lettura dei registri interni di configurazione è stato sviluppato un blocco digitale di controllo, realizzato in *standard cell* della tecnologia di riferimento e progettato utilizzando tecniche di sintesi da descrizione funzionale in VHDL.

Il protocollo differenziale seriale di tipo LVDS è stato utilizzato per i principali segnali digitali in ingresso e in uscita all'ASIC.

3.1 Logica di controllo

La parte logica dell'ASIC dispone di 13 registri da 8 bit, configurabili per mezzo di una interfaccia SPI. L'interfaccia di comunicazione viene controllata attraverso i segnali differenziali di ingresso

spiin, *spiclk*, e produce l'uscita *spiout*. Il segnale *spiin* è l'ingresso dei dati del modulo di configurazione, *spiclk* è il suo segnale di clock, mentre *spiout* è l'uscita seriale collegata al bit più significativo dello *shift register* interno al modulo *SPI*.

Nel caso dell'invio di una configurazione all'ASIC, il messaggio potrà avere una lunghezza variabile a seconda del numero di registri che si desidera configurare. Per ogni registro il protocollo di configurazione prevede l'invio di 3 byte, descritti in dettaglio in figura 3.4; nel primo byte troviamo un *header*, composto dai tre bit "101", utilizzato come indicatore di inizio stringa per l'ASIC, e un campo di indirizzo a 5 bit, che identifica il particolare registro da configurare; il secondo byte rappresenta il *chip-identifier*, che identifica in maniera univoca all'interno di un sistema multicanale realizzato utilizzando più ASIC che condividono le stesse linee di configurazione, l'unico *chip* caratterizzato, a livello hardware, da quel valore di identificazione. Infine un campo "*Data*" a 8 bit riporta il valore del dato da immagazzinare nel registro.

Byte 0		Byte 1	Byte 2
<i>header</i>	<i>address</i>	<i>chip-header</i>	<i>Data</i>

Figura 3.4: Protocollo di configurazione dei registri interni all'ASIC.

In Tabella 1 sono riportate tutti i parametri configurabili per l'ASIC assieme ad una breve descrizione funzionale:

Tabella 3.1: Dati configurabili attraverso i registri interni dell'ASIC.

PARAMETRO CONFIGURABILE	DESCRIZIONE
CH0, CH1, ..., CH31	<i>Flag</i> per il mascheramento dei canali
SPARSE	<i>Flag</i> modalità di lettura <i>sparse</i> o <i>serial</i>
DELAY_SEL[2 ...1]	Durata della finestra di accettazione degli eventi
SEL_PDN	<i>Flag</i> di selezione per la PAD di monitoraggio
HOLD_EXT	<i>Flag</i> di selezione per il segnale di HOLD (interno o esterno)
VTH1	Tensione di soglia del banco 1 di canali (DAC 10 bit)
VTH2	Tensione di soglia del banco 2 di canali (DAC 10 bit)
MUX_CHANNEL_SEL[5 ... 0]	Indirizzo canale da inviare alla PAD di monitoraggio

MUX_MONITOR[5 ... 0]	Bus di selezione per la tensione di riferimento da monitorare
V _{BL}	Tensione di <i>baseline</i> (DAC 8 bit)
V _{CTRL_SHA}	Tensione di controllo dello <i>shaper</i> (DAC 8 bit)

Tutti i segnali configurabili sono descritti di seguito:

- *Ch0, Ch1, ..., Ch31*: la presenza di 32 *flag*, ognuno associato ad un canale di lettura, permette di scegliere quali canali devono essere letti e rendere trasparenti alla logica di controllo i canali che devono essere mascherati.
- *Sparse*: sono state realizzate due modalità di lettura dei canali; la prima, detta *sparse*, in cui solo i canali che hanno rilevato un evento valido vengono processati dall'ADC interno, la seconda, detta *serial*, in cui tutti i 32 canali sono letti, anche se il comparatore di canale non ha segnalato un evento sopra soglia. La modalità *serial* è molto utile quando si vuole valutare il livello della *baseline* dei canali oppure se si vuole stimare un completo profilo della carica rilasciata sui canali. La modalità *sparse* è attiva quando il *flag* è configurato a "1" logico.
- *Delay_sel*: la parola digitale *Delay_sel* determina la durata di un ritardo variabile progettato attraverso celle standard della libreria AMS0.35. Il ritardo selezionato decide l'estensione di una finestra temporale di accettazione degli eventi, che viene aperta nel momento in cui viene rilevato un primo segnale valido su uno dei 32 canali. Gli eventi rilevati da canali i cui comparatori scattano quando questa finestra temporale è spirata sono scartati, in quanto è molto probabile che essi non siano correlati al primo evento, cioè non siano riconducibili allo stesso fenomeno. I tre bit di configurazione permettono di scegliere uno tra gli 8 possibili valori di ritardo che coprono un *range* compreso tra 0 e 50ns.
- *Sel_PDn*: grazie all'impiego di un multiplexer analogico 2x1 di figura 3.3 è possibile monitorare singolarmente una delle uscite dei PD oppure la tensione inviata in ingresso all'ADC attraverso una singola PAD analogica. Quando *Sel_PDn* è configurato a livello logico alto il multiplexer porta in uscita l'ingresso dell'ADC.
- *Hold_ext*: la funzione di *HOLD* nell'architettura dell'ASIC individua la fase in cui tutti i PD nei canali vengono configurati come memoria analogica che porta in uscita la tensione che insiste sulla capacità C_{PD} di figura 2.16. In pratica il picco del segnale di uscita dello *shaper* è memorizzato e "bufferizzato" per essere presentato in ingresso all'ADC. La logica di controllo interna genera automaticamente il segnale di *HOLD* quando un evento valido è stato rilevato ed inoltre è stato attivato il segnale di clock di sistema. Quando il *flag Hold_ext* è

attivo, il segnale di *HOLD* interno è bypassato da un segnale di *HOLD* esterno, fornito all'ASIC per mezzo di una PAD dedicata.

- V_{th1} , V_{th2} : ognuna delle tensioni di soglia generate da due DAC a 10 bit serve un banco da 16 canali.
- *Mux_channel_sel*: parola digitale a 6 bit che serve per selezione il canale prescelto per monitorare l'uscita del relativo PD. Quando la parola configurata è pari a "0x00h" l'uscita del multiplexer è *floating*. Il bit più significativo ha la funzione di abilitazione del multiplexer dunque se si vuole osservare il canale individuato dai 5 bits meno significativi, il bit 6 deve essere a livello logico alto.
- *Mux_monitor*: una *pad* di monitoraggio dedicata permette di osservare le tensioni generate internamente all'ASIC. Attraverso l'utilizzo di un multiplexer analogico a 5 ingressi è possibile collegare alla *pad* le seguenti tensioni: V_{bl} , ovvero la *baseline* dello *shaper*, il riferimento di tensione indicato in figura 3.2 come V_{OFF} , la tensione di controllo dello *shaper* V_{CTRL_sha} , le due tensioni di soglia V_{th1} e V_{th2} .
- V_{bl} : tensione della *baseline* all'uscita dello *shaper* di canale, configurabile attraverso una parola a 8 bit. La *baseline* è imposta al canale attraverso la tensione di riferimento V_{REF} dello *shaper*.
- V_{CTRL_sha} : Tensione di controllo dello *shaper* configurabile attraverso una parola a 8 bit.

3.2 Operazioni di lettura

Come accennato nella descrizione della configurazione dell'ASIC, sono state implementate due modalità di lettura *serial* e *sparse*, gestite in maniera del tutto analogica. Le operazioni di lettura hanno inizio quando almeno un canale segnala la presenza di un evento sopra soglia, attraverso lo scatto del relativo comparatore. Il segnale di trigger generato dalla OR logica di tutte le uscite dei comparatori dei 32 canali è inviato contemporaneamente sia alla logica interna che ad una *pad*, verso una logica esterna. La logica interna verifica quali canali hanno superato la soglia, andando ad osservare il livello logico in uscita ai flip-flop di tipo D (DFF) che memorizzano lo scatto dei comparatori di ciascun canale. Questa operazione è necessaria quando si vuole leggere l'ASIC in modalità *sparse*. Nello stesso tempo, la logica esterna, a seguito della rilevazione del segnale di trigger, attiva la linea di clock di sistema, che normalmente è mantenuta inattiva nella fase in cui l'ASIC è in attesa di rilevare un segnale valido. Questa scelta è stata fatta affinché l'acquisizione analogica dell'informazione all'interno dei canali non sia perturbata da accoppiamenti capacitivi parassiti con i fronti veloci del

clock. All'attivazione del clock, segue, con una piccola latenza di pochi colpi di clock, necessaria per permettere al segnale di uscita dello shaper di raggiungere il valore di picco, l'abilitazione del segnale di *HOLD*. Da questo istante in poi tutti canali dell'ASIC (*serial mode*), o solo quelli sopra soglia (*sparse mode*), sono automaticamente multiplexati in sequenza verso l'ADC, gestendo opportunamente il bus di selezione *Gate* a 32 bit in figura 3.3.

La verifica dello stato dei canali (sopra o sotto soglia) avviene nell'intervallo di tempo che intercorre tra il segnale di evento valido ed una sua versione ritardata con ritardo programmabile, configurato tramite la parola digitale *Delay_sel*. Tutti gli eventi registrati al di fuori di questa finestra temporale non sono presi in considerazione. La formazione della finestra temporale è mostrata in figura 3.5, in cui è riportato un caso esempio: il canale 2 genera il segnale di evento valido e la finestra di accettazione degli eventi si apre. Il ritardo programmabile determina l'istante di *stop* in cui la finestra temporale si chiude. All'interno della finestra è stato rilevato un evento sul canale 3. L'evento nel canale 1 viene rilevato dopo la chiusura della finestra e quindi viene scartato, in quanto considerato incorrelato con gli altri due eventi.

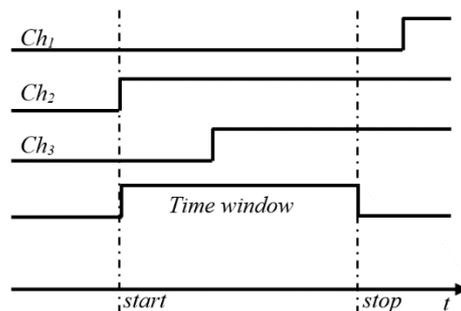


Figura 3.5: Finestra di accettazione eventi validi.

La *rate* con la quale viene commutato l'indirizzo di canale al multiplexer e con la quale l'ADC converte il dato in ingresso è pari ad 1/16 della frequenza del clock di sistema. I dati convertiti dall'ADC non sono accumulati all'interno dell'ASIC e, non appena essi sono disponibili, se ne dispone la serializzazione su un link seriale. In maniera sincrona con le operazioni di conversione dell'ADC, la logica preleva il dato convertito e lo processa, incapsulandolo nel protocollo definito in figura 6:

Byte 0		Byte 1		Byte 2		Byte 3		Byte n-1		Byte n	
<i>header</i>	<i>address</i>	<i>data</i>		<i>header</i>	<i>address</i>	<i>data</i>		<i>header</i>	<i>address</i>	<i>data</i>	

Figura 3.6 Protocollo di serializzazione dei dati

Per ogni dato convertito dall'ADC viene creata dalla logica una parola a 16 bit: il primo byte contiene un *header* di 3 bit pari a "110", utile alla logica esterna per sincronizzarsi con il dato inviato dall'ASIC, un campo a 5 bit per individuare l'indirizzo di canale associato al dato letto, mentre il secondo byte contiene il dato convertito. Se i canali convertiti sono più di uno le parole da 16 bit sono concatenate sino ad un massimo di 64 byte. Lo *stream* dei dati è chiuso da due byte pari a "0xFFh". Alla fine di una procedura di lettura e di trasmissione dei dati sul link LVDS, la logica interna deve essere resettata e i PD dei canali devono essere riportati in modalità *tracking*, in attesa dell'arrivo di un altro evento valido.

In figura 3.7 sono riassunti i principali segnali di controllo della procedura di lettura. Al tempo t_0 uno dei canali segnala la presenza di un evento poiché la tensione *in uscita allo shaper* in uno dei canali ha superato la soglia. La linea digitale *TRIGGER* è attivata. Nell'istante immediatamente successivo t_1 , il segnale di controllo del PD V_{CTRL_PD} diventa alto ed abilita la modalità di rilevazione del picco nel PD. Dopo un ritardo sufficiente a raggiungere sulla capacità C_{PD} la tensione V_{pk} , tensione di picco del segnale osservato, nell'istante t_2 , la logica interna abilita il segnale di *HOLD*. L'uscita del PD, V_{OUT_PD} , si porta alla tensione memorizzata sulla capacità C_{PD} , ovvero V_{pk} . Il segnale di *HOLD* viene mantenuto per tutta la durata delle operazioni di conversione effettuate dall'ADC. Infine un segnale di reset, generato automaticamente dalla logica alla fine delle operazioni di conversione, riporta i canali nelle condizioni precedenti alla rilevazione di un evento.

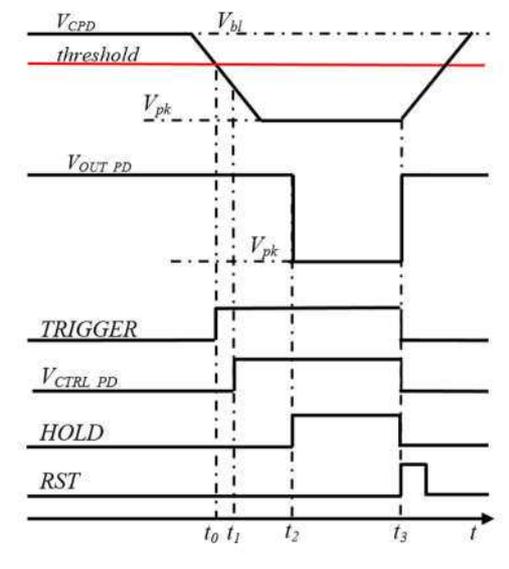


Figura 3.7: Segnali di controllo della procedura di lettura

3.3 Procedura di reset

Sono state implementate diverse modalità di reset del sistema. I registri di configurazione e le macchine a stati della logica di controllo digitale sono servite da due differenti segnali di reset, il che permette di inizializzare la logica di lettura senza dover resettare obbligatoriamente anche la configurazione dell'ASIC. Dunque attraverso due pad esterne è possibile inviare o un reset generale che interessa tutti i moduli digitali, o un reset locale alla sola logica di lettura.

Appena il chip è alimentato, grazie alla presenza di un Power-On-Reset (POR), un segnale di reset generale inizializza l'ASIC.

Come ricordato precedentemente, un ulteriore segnale di reset è necessario alla fine delle operazioni di lettura. Dopo che l'operazione di serializzazione dei dati è conclusa è necessario inizializzare nuovamente l'ASIC, riportandolo nella condizione di attesa di un evento. Questa operazione viene automaticamente effettuata nel momento in cui il clock di sistema viene disattivato, grazie alla presenza di un circuito di *sensing* dell'attività del segnale di clock stesso.

3.4 Il convertitore analogico digitale

Per le operazioni di conversione dell'informazione dal dominio analogico a quello digitale è stato integrato nell'ASIC un ADC a 8 bit [44]. La struttura prescelta per questo convertitore è di tipo *flash two-step* e si basa su un modulo già disponibile, opportunamente modificato per adattarlo all'architettura dell'ASIC. In pratica la conversione avviene in due fasi: nella prima (*coarse conversion*) si ricavano i 4 bit più significativi della parola digitale di uscita, utilizzando un limitato numero di comparatori per confrontare la tensione d'ingresso con delle soglie "*coarse*" che dividono in 15 parti uguali il *range* dinamico di ingresso. In seguito gli ingressi di riferimento degli stessi comparatori, che nella fase precedente erano fissati ai valori delle soglie *coarse*, vengono commutati in modo da confrontare lo stesso segnale di ingresso con dei riferimenti di tensione ricavati in base al risultato della *coarse conversion*. In altre parole in questa fase il segnale di ingresso viene confrontato con delle soglie "*fine*" il cui valore dipende dal risultato della *coarse conversion*, in modo da estrarre il valore dei bit meno significativi della parola digitale di uscita (fase di *fine conversion*). Il convertitore è composto da due moduli uguali funzionanti nel modo descritto che lavorano in *interleaving*, cioè in modo tale che quando uno dei due moduli effettua la *fine conversion*, l'altro è in

fase di *coarse conversion*. Grazie a questa struttura, si riesce a ottenere una velocità di conversione di almeno 10MSample/s. Quest'ultima specifica è in accordo con la velocità richiesta dall'applicazione per la quale l'ASIC è stato progettato. Con un clock di sistema pari a 100MHz l'ADC è quindi abbondantemente in grado di produrre un dato convertito ogni 160ns, essendo il clock dell'ADC, così come il segnale di clock della logica interna, demoltiplicato di un fattore 16 rispetto al clock di sistema.

Le tensioni di riferimento che coincidono con le soglie utilizzate dai comparatori nelle fasi di *coarse* e *fine* sono generate da 16 *ladder* di resistori poste in serie, ai capi delle quali si prelevano le soglie *coarse*, contenenti ciascuna 16 resistori in serie, ai capi dei quali sono disponibili le soglie *fine*.

A causa del rumore e di fenomeni legati alle fluttuazioni statistiche della tecnologia, il codice termometrico risultante dalla comparazione del livello di tensione da convertire con i riferimenti di tensione *coarse* e *fine* può essere affetto da errori di tipo bolla o *bubble*, ovvero il codice termometrico potrebbe presentare delle irregolarità tali da non permettere una corretta codifica in codice binario. Uno stadio di correzione combinatorio è stato quindi previsto e implementato ai fini della eliminazione di questo tipo di errori. Il codice binario prodotto da ciascuno dei due moduli che compongono l'ADC è inviato all'uscita attraverso un multiplexer.

La commutazione dei riferimenti di tensione da *coarse* e *fine* avviene per mezzo di una rete di *switch* implementati per mezzo di *transmission gate* (TG). Particolare cura è stata impiegata nella progettazione dei TG al fine di minimizzare gli errori legati all'iniezione di carica indotta durante la commutazione dello *switch*.

Affinché la resistenza equivalente degli *switch* fosse ridotta il più possibile nello stato "on", è stato realizzato un circuito di *boosting* del segnale di commutazione dei TG per incrementarne l'ampiezza rispetto alla tensione di alimentazione caratteristica della tecnologia.

Per il dimensionamento delle scalette di resistenze è stato utilizzato un approccio statistico. Mettendo in relazione la deviazione standard delle tensioni di riferimento con i fenomeni di *mismatch* delle resistenze caratteristici per la tecnologia utilizzata, il valore e il *layout* delle resistenze sono stati dimensionati imponendo che la deviazione standard delle tensioni di riferimento generate fosse minore di 1mV.

3.4.1 Architettura e progetto del convertitore

In figura 3.8 è rappresentata la struttura del convertitore. È possibile osservare come la conversione di tipo *fine* e *coarse* è effettuata utilizzando gli stessi comparatori, a cui è possibile applicare diverse tensioni di soglia in ingresso, identificate con V_{RC} e V_{RF} .

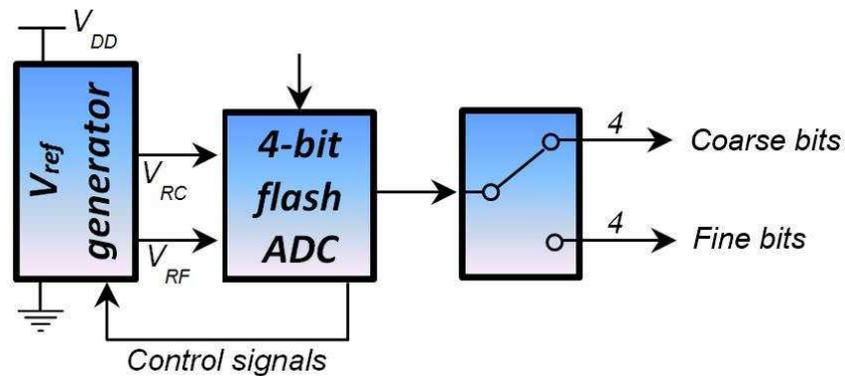


Figura 3.8: Schema a blocchi di ognuno dei due moduli *interleaved* dell'ADC.

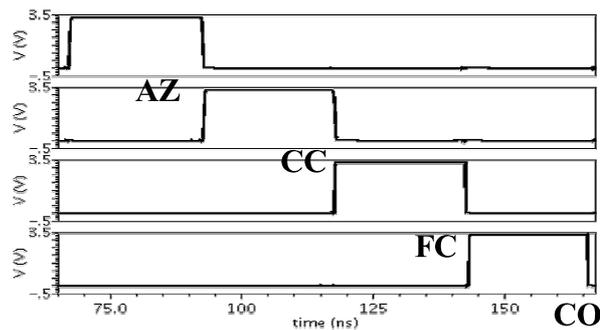


Figura 3.9: Diagramma temporale delle 4 fasi necessarie per una conversione.

In figura 3.9 è mostrato il diagramma temporale delle 4 fasi necessarie per completare una conversione in uni dei due moduli del convertitore:

- *Auto-Zero (AZ)*: fase nella viene compensato l'offset dei comparatori e viene campionata la tensione di ingresso.
- *Coarse Conversion (CC)*: nella seconda fase il segnale di ingresso è comparato con i 16 riferimenti di tensione *coarse*, per generare i 4 bit più significati della parola digitale (MSB).
- *Fine Conversion (FC)*: in questa fase sono generati gli altri 4 bit (quelli meno significativi o LSB), comparando l'ingresso con un set di tensioni di riferimento selezionate in base ai valori estratti per gli MSB.

- *Correction (CO)*: Nell'ultima fase si effettua una correzione del dato finale. Questa fase è utile quando la procedura commette un errore nella selezione del set di tensioni di riferimento per la fase FC.

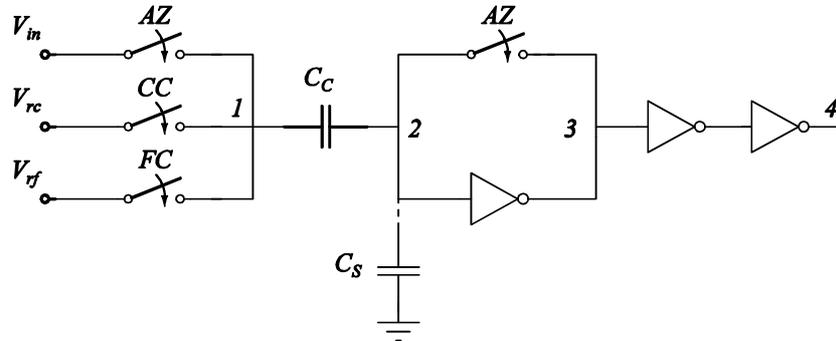


Figura 3.10: Struttura del comparatore.

La struttura dei comparatori utilizzati è riportata in figura 3.10 [45]. Nella fase AZ il nodo 2 è caricato alla tensione di soglia dell'inverter V_{INV} , mentre il nodo 1 è collegato alla tensione di ingresso V_{in} . La carica al nodo 2 può essere espressa come:

$$Q = C_c(V_{INV} - V_{in}) + C_s V_{INV} \quad (3.2)$$

dove C_c è capacità parassita totale tra il nodo 2 e massa. Quando inizia la fase CC, in ingresso al comparatore è applicato il riferimento di tensione V_{rc} . Conseguentemente la tensione al nodo 2 raggiunge un nuovo valore V_2 . L'espressione della carica al nodo 2 diventa:

$$Q = C_c(V_2 - V_{rc}) + C_s V_2 \quad (3.3)$$

Poiché la carica totale al nodo 2 non può cambiare tra la fase AZ e la fase CC, possiamo eguagliare le due espressioni (3.2) e (3.3) ed ottenere un'espressione della relazione tra la tensione finale sul nodo 2 e la soglia di commutazione dell'inverter, direttamente proporzionale alla differenza tra la soglia e la tensione di ingresso:

$$V_2 - V_{INV} = (V_{rc} - V_{in}) \frac{C_c}{C_c + C_s} \quad (3.4)$$

Di conseguenza l'inverter riporterà in uscita un valore alto o basso in dipendenza della posizione della tensione di ingresso rispetto alla soglia V_{RC} . Gli ulteriori inverter in cascata permettono di aumentare

il guadagno complessivo del comparatore. In maniera analoga può essere espressa la relazione riguardante il confronto operato durante la fase FC, tra l'ingresso e la tensione di riferimento V_{rf} .

Come accennato in precedenza, tutti gli *switch* in figura 3.10 sono stati implementati attraverso TG, prestando particolare cura nel dimensionamento dei dispositivi allo scopo sia di ridurre gli errori legati all'iniezione di carica a seguito della commutazione, sia di raggiungere un tempo di commutazione inferiore a 25ns.

Inoltre è stata implementata una tecnica di *clock-boosting* per incrementare l'ampiezza del segnale di controllo dei TG e ridurre così la resistenza di accensione degli *switch* [46]. Uno schema del circuito utilizzato per implementare l'incremento dell'ampiezza del clock in corrispondenza dei fronti positivi è riportato in figura 3.11:

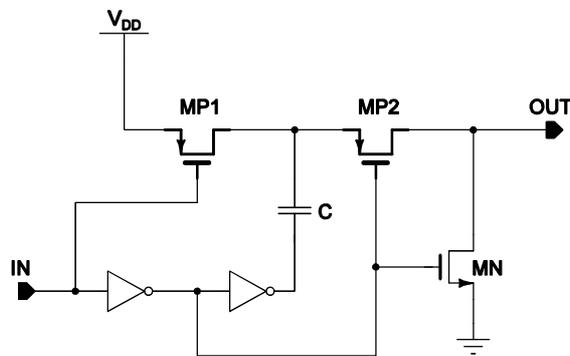


Figura 3.11: Struttura utilizzato per il *clock-boosting* per i fronti positivi del clock.

Durante il fronte negativo del segnale di clock in ingresso, la capacità C è caricata alla tensione di alimentazione V_{DD} attraverso il MOSFET M_{P1} e l'uscita è mantenuta bassa da M_N . In corrispondenza del fronte positivo del segnale di ingresso, M_N e M_{P1} si spengono e M_{P2} si accende, per cui la tensione di uscita si porta a un valore superiore a V_{DD} , grazie alla carica immagazzinata ai capi della capacità C . Per quanto riguarda il *boosting* del fronte negativo è stato utilizzato un circuito complementare rispetto a quello riportato in figura 3.11. Con questa tecnica si è riusciti a superare le alimentazioni di circa +/- 500mV.

L'utilizzo di un unico circuito per il comparatore comporta alcune limitazioni: in particolare si fa riferimento al comportamento del TG posto tra ingresso e uscita del primo inverter del comparatore in figura 3.10, che diventa critico quando un basso valore del segnale di ingresso è comparato con una tensione di riferimento elevata, cosa che accade, per esempio, nei comparatori più vicini alla tensione di alimentazione. Nella situazione descritta, il PMOS di questo TG è sottoposto ad un'elevata tensione source-gate che causa una corrente di perdita nello *switch* aperto e conseguentemente una perdita della carica memorizzata al nodo 2 durante la fase AZ. Questo conduce ad una perdita di

accuratezza della conversione successiva, relativa alla fase FC. Un comportamento analogo si ripete per gli NMOS dei TG, nel caso di un comparatore su cui è applicata una tensione di riferimento vicina all'alimentazione negativa, quando la tensione di ingresso è molto elevata. Di conseguenza, per evitare di eseguire confronti fra due valori di tensione molto distanti tra loro, sono stati realizzati 4 ulteriori comparatori che realizzano un confronto *pre-coarse* nella fase AZ. Questi comparatori individuano in quale macro-regione della dinamica di ingresso dell'ADC ricade il segnale di ingresso e permettono di selezionare solo un sottoinsieme di comparatori che devono attivamente svolgere la fase CC. Le uscite dei comparatori non utilizzati sono bypassate ed assegnate automaticamente dalla logica di controllo, in modo che non si abbiano malfunzionamenti nella successiva fase FC.

Le tensioni di riferimento per le conversioni di tipo *fine* e *coarse* sono generate da 16 blocchi da 16 resistenze. Il valore delle resistenze dimensionato è stato fissato a 10Ω , in accordo con il *range* dinamico del convertitore e il consumo di potenza previsto. Con questa scelta il consumo di potenza stimato del circuito a sole resistenze è pari a 3.6 mW.

Le dimensioni fisiche dei resistori, realizzati in polisilicio, sono state determinate considerando un approccio di tipo statistico, con lo scopo di minimizzare le deviazioni standard delle tensioni di riferimento legate al *mismatch* dei resistori. Per questa tecnologia il *mismatch* dei resistori è descritto dalla classica relazione [47]:

$$\sigma_{\frac{\Delta R}{R}} = \frac{A_R}{\sqrt{WL}} \quad (3.5)$$

dove W e L sono le dimensioni fisiche del resistore e A_R è un coefficiente dipendente dalla tecnologia. Si dimostra che la varianza della k -esima tensione di riferimento V_k , può essere espressa come:

$$\sigma^2_{V_k} = \alpha k(n - k) \quad (3.6)$$

dove n è il numero di resistori tra le alimentazioni ed α è un parametro proporzionale a $\sigma_{\Delta R/R}$.

La (3.5) e (3.6) ci permettono di valutare W e L imponendo che il massimo valore di deviazione standard delle tensioni di riferimento sia minore di 1mV. I valori ottenuti per W e L sono rispettivamente $20\mu\text{m}$ e $4\mu\text{m}$. In figura 3.12 è mostrato un confronto tra i valori di deviazione standard delle tensioni di riferimento trovati per via teorica e quelli ottenuti per mezzo di simulazioni Monte Carlo.

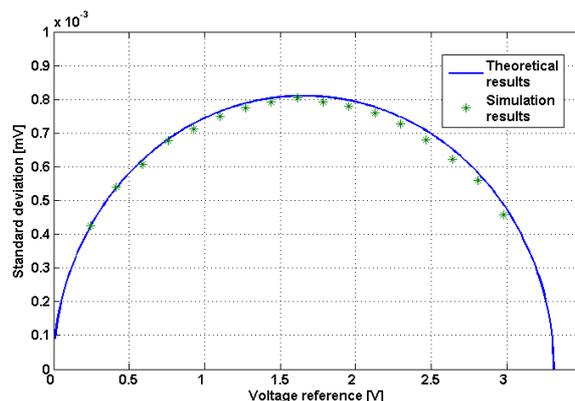


Figura 3.12: Deviazione standard delle tensioni di riferimento: confronto tra analisi teorica e simulazione Monte Carlo.

Montecarlo. I dati teorici e le simulazioni sono in accordo, validando la relazione (3.6). Il massimo scostamento dalla tensione di riferimento nominale si ha al centro della scala di resistori.

Il codice termometrico risultante dalle conversioni di tipo *coarse* e *fine* è prima processato da una logica combinatoria per correggere eventuali errori *bubble*, poi convertito in codice binario tramite un *encoder*. Infine, il codice binario di ognuno dei due ADC è inviato ad un ulteriore stadio di correzione, descritto nel seguito, per poi essere multiplexato verso l'uscita.

Per spiegare la necessità di uno stadio di correzione finale, consideriamo la situazione in cui la tensione di ingresso è prossima ad una delle tensioni di soglia *coarse*. Durante la fase di CC, *mismatch* dei componenti e rumore possono determinare l'errata selezione del blocco di riferimenti di tensione da utilizzare nella fase successiva, cioè la *fine conversion*. Questo conduce inevitabilmente ad un errore nella valutazione degli LSB. Per risolvere questo problema sono stati aggiunti due ulteriori comparatori al di sopra e al di sotto dei 15 già esistenti e la loro uscita è processata dalla logica di correzione. Un *overflow* o un *underflow* rilevato da questi due comparatori durante la fase FC permette di identificare con una certa affidabilità la situazione di errore di selezione appena descritta. In questo caso la logica di correzione finale corregge il bit meno significativo dei 4 MSB ed inoltre fissa a 1 logico tutti gli LSB in caso di *underflow*, oppure fissa a zero logico tutti gli LSB in caso di *overflow*.

3.5 Pading

Il *core* digitale e i blocchi analogici sono circondati da un anello di *pad*, costituito da 33 *pad* dedicate ai segnali digitali e 51 *pad* analogiche per un totale di 84. In Tabella 3.2 è riportato il dettaglio delle *pad* utilizzate.

Tabella 2: Descrizione *pad* ASIC.

PAD	DESCRIZIONE
IN<31 ... 0>	Ingressi dei canali
MONITOR1	Monitor delle uscite di canale
MONITOR2	Monitor delle tensioni di riferimento
FEED1	PAD dedicata alla regolazione della corrente di polarizzazione del MOSFET di feedback del CSA nel blocco canali 0-15
PRE1	PAD dedicata alla regolazione della tensione di riferimento dei CSA nel blocco canali 0-15
DISCR1	pad dedicata alla regolazione della tensione di riferimento dei discriminatori nel blocco canali 0-15
FEED2	pad dedicata alla regolazione della corrente di polarizzazione del MOSFET di feedback del CSA nel blocco canali 16-31
PRE2	pad dedicata alla regolazione della tensione di riferimento dei CSA nel blocco canali 16-31
DISCR2	pad dedicata alla regolazione della tensione di riferimento dei discriminatori nel blocco canali 16-31.
AGND	6 pad dedicate alla massa analogica
AVDD	5 pad dedicate all'alimentazione dei blocchi analogici.
VSUB	3 pad dedicate al collegamento del substrato digitale.
GND	3 pad dedicate alla massa digitale.
VDD	3 pad dedicate all'alimentazione del <i>core</i> dell'ASIC.
CHIPID	5 pad per la configurazione hardware dell'identificativo chip.

TRIGGER	Trigger dell'evento valido (uscita CMOS standard).
TRIGGER_N/P	Trigger dell'evento valido (uscita LVDS)
SPI_OUT_N/P	Uscita modulo SPI (uscita LVDS).
DATA_OUT_N/P	Uscita dati (uscita LVDS).
RST_RO_N/P	Abilitazione processo di lettura (ingresso LVDS).
SPICLK_N/P	Clock modulo SPI (ingresso LVDS)
SPIIN_N/P	Ingresso dati modulo SPI (ingresso LVDS).
CLK_N/P	Ingresso differenziale LVDS. Clock di sistema (ingresso LVDS).
HOLD_EXT	<i>HOLD</i> esterno (ingresso CMOS standard)
RST_TOT	Reset globale (ingresso CMOS standard)
RST_LOG	Reset del solo modulo di lettura (ingresso CMOS standard)

Il *padding* è stato suddiviso in due parti per mezzo delle celle di *power-cut* che permettono di distinguere tra alimentazione del dominio analogico e alimentazione del dominio digitale. L'isolamento operato dai *power-cut* porta ad un miglioramento dell'isolamento tra parte analogica e parte digitale, che previene l'iniezione di rumore nei blocchi analogici in corrispondenza delle commutazioni della parte digitale dell'ASIC. Uno schema rappresentativo dell'organizzazione delle *pad* nel circuito integrato è riportato in figura 3.12.

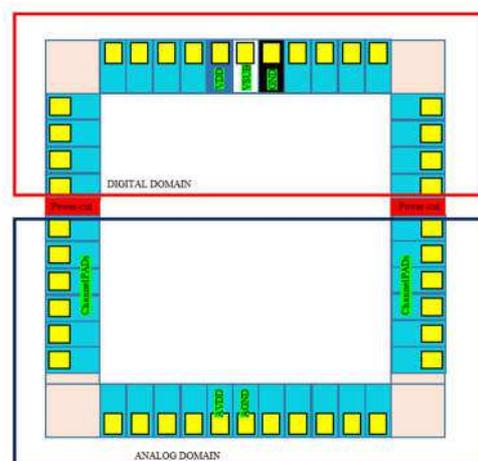


Figura 3.12: Suddivisione del *padding* per mezzo di *power-cuts*.

3.6 Layout

Il layout complessivo dell'ASIC, mostrato in figura 3.13, occupa un'area di 4.6mmx6.9mm.

Due blocchi, contenenti ognuno 16 canali, sono sistemati ai due lati del layout permettendo un agevole *routing* delle linee che collegano le pad di ingresso agli stessi canali. Nella parte centrale sono stati sistemati sia l'ADC, che la logica digitale sintetizzata. Anche questa scelta è stata fatta per minimizzare le linee di collegamento tra le uscite dei canali e i multiplexer collocati in prossimità dell'ADC e per rendere facilmente accessibili i segnali di controllo della logica. È stato eseguito un *routing* manuale per collegare i blocchi utilizzando i 4 livelli di metallo disponibili per la tecnologia utilizzata.

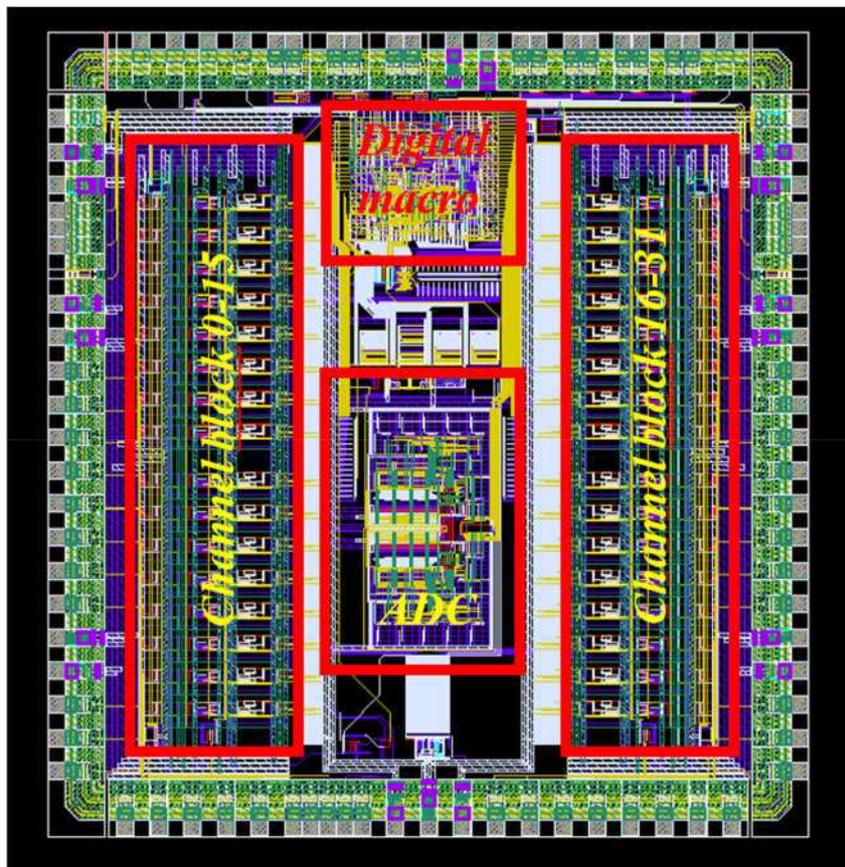


Figura 3.13: Layout finale integrato. Area 4.6mm x 4.9 mm.

Capitolo 4 Caratterizzazione dell'ASIC

Il *set-up* di collaudo che è stato realizzato per la verifica delle prestazioni dell'ASIC è basato su una scheda di front-end (*front-end board*) sviluppata ad hoc, che contiene l'ASIC stesso, alcuni circuiti di servizio per il *buffering* dei segnali di uscita che possono essere prelevati da punti interni del canale attraverso le *pad* analogiche di monitoraggio, i circuiti necessari per l'alimentazione della parte analogica e digitale e un semplice circuito per l'iniezione di carica all'ingresso dei canali.

L'elettronica digitale esterna, deputata al caricamento della configurazione, alla gestione delle operazioni di lettura dell'ASIC e al trasferimento dei dati letti dai canali verso il mondo esterno, può essere alloggiata in un componente complesso programmabile di tipo FPGA. La soluzione adottata consiste nell'utilizzo di una scheda di sviluppo FPGA della famiglia ALTERA Cyclone IV (scheda di sviluppo DE2-115). Il firmware sviluppato e caricato all'interno della FPGA permette la comunicazione con un PC *host*, per lo scambio dei dati relativi agli eventi letti e alla configurazione, tramite una semplicissima interfaccia seriale RS232. Per quanto riguarda le comunicazioni con la *front-end board*, esse sono effettuate attraverso un connettore di espansione da 40 pin disponibile sulla scheda di sviluppo, mentre si è deciso di evitare il ricorso al bus di connessione veloce HSMC disponibile sulla scheda DE-115, che si è rivelato poco flessibile. In figura 4.1 è mostrato il *set-up* utilizzato per effettuare il collaudo dell'ASIC.



Figura 4.1: *Setup* utilizzato per il collaudo dell'ASIC

Il primo problema che è stato affrontato ha riguardato la gestione dei segnali differenziali di ingresso e uscita dell'ASIC. La FPGA di tipo Cyclone IV che equipaggia la scheda DE2-115 consente di configurare alcuni banchi di I/O come differenziali e altri come CMOS standard *single-ended*, scegliendo ovviamente in modo opportuno e distinto le due differenti alimentazioni necessarie per i due tipi diversi di I/O. A bordo della DE2-115 sono disponibili due connettori che possono essere usati per le comunicazioni con la *front-end board*: un *header* da 40 pin e una interfaccia di tipo HSMC per *mezzanine board* da 172 pin, particolarmente orientata per realizzare connessioni con link differenziali ad alta velocità. Entrambi i connettori consentono di configurare una sola tensione di alimentazione per i pin di I/O. Di conseguenza, se si vuole disporre contemporaneamente di I/O CMOS e di I/O LVDS, sarebbe necessario utilizzare una delle due interfacce esclusivamente per gli I/O di un tipo e l'altra per gli I/O dell'altro tipo, prevedendo dunque due connettori di tipo diverso anche sulla *front-end board*. Questa soluzione è stata considerata non vantaggiosa e quindi si è optato per una soluzione più semplice. È stato utilizzato il solo *header* da 40 pin mentre i segnali differenziali in ingresso e in uscita dall'ASIC vengono convertiti in standard CMOS attraverso opportuni *line driver* e *receiver* commerciali montati sulla scheda di front-end. Sono stati previsti sulla scheda stessa opportuni *test point* per monitorare l'evoluzione dei segnali digitali e il buon funzionamento delle operazioni di configurazione e di lettura dell'ASIC.

Il firmware sviluppato per la FPGA è stato definito in conformità della struttura della parte digitale interna dell'ASIC ed è composto essenzialmente da tre sezioni, che sono state descritte in linguaggio VHDL. La prima si occupa della gestione della configurazione dell'ASIC, la seconda sovrintende alle operazioni di lettura dei dati generati dall'ASIC, infine la terza deve gestire le operazioni di scambio dati con il PC esterno *host* dal quale si prendono i dati di configurazione e verso il quale si inviano i dati letti dall'ASIC.

L'unità di configurazione è una SPI standard, che sull'ASIC prevede ingressi e uscite differenziali, mentre dal lato FPGA, come è stato spiegato precedentemente, fa capo solo a segnali *single-ended* CMOS.

Il processo, implementato nell'FPGA, deputato alla configurazione dei registri interni dell'ASIC, preleva i dati e gli indirizzi relativi preventivamente caricati in un buffer di memoria e provvede a inviarli alla porta SPI dell'ASIC e, infine, è in grado di rileggere gli stessi dati dall'ASIC per effettuare il confronto con i dati di partenza e così validare l'intera procedura di configurazione.

La sezione di lettura dei dati, abilita il clock veloce all'ASIC non appena viene attivato un trigger esterno oppure in seguito alla presenza di un segnale di trigger valido generato dallo stesso ASIC per mezzo dell'attivazione del segnale di *TRIGGER*, il quale è stata utilizzata una versione "open drain"

del segnale differenziale LVDS *TRIGGER_N/P*, pure disponibile sull'ASIC, ma non utilizzato e quindi reso inattivo nel nostro caso per semplificare la scheda di collaudo.

La sezione di lettura, a questo punto si mette in ascolto della linea di uscita dati e acquisisce il *bitstream* generato dall'ASIC, depositando i dati in un altro buffer di memoria. E' prevista la possibilità di resettare una procedura di lettura (per esempio nel caso in cui non si voglia leggere un evento segnalato dall'ASIC a causa dell'assenza di un segnale esterno di *acknowledgment*) in due modi differenti: interrompendo il clock, cosa che provoca un reset della macchina digitale dell'ASIC che effettua la *read-out* e riporta i *peak detector* in modalità *tracking*, oppure inviando esplicitamente un segnale di reset dall'esterno, che però non agisce sulla configurazione dell'ASIC.

Tutti i moduli firmware sono stati simulati per mezzo del simulatore Modelsim incluso nella versione del software di sviluppo ALTERA Quartus II che è stata utilizzata per percorrere il flusso di progetto della FPGA anche nelle fasi di sintesi dal VHDL, di *placement* e di *routing* dei blocchi e quindi nella definizione degli I/O.

E' stata anche sviluppata una semplicissima interfaccia grafica la cui maschera è mostrata in figura 4.2, che consente di definire sul PC il contenuto dei registri di configurazione dell'ASIC e di far partire l'acquisizione dei dati.

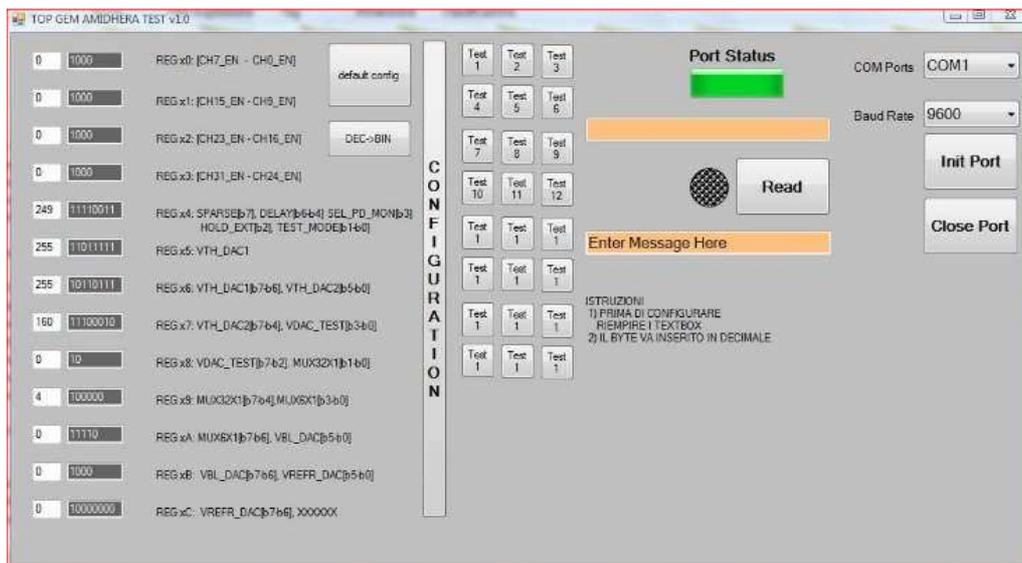


Figura 4.2: Maschera dell'interfaccia software utilizzata nei test dell'ASIC.

Essenzialmente il collaudo dell'ASIC ha richiesto la verifica del funzionamento della parte digitale dell'ASIC, per accertarsi che le macchine che gestiscono le procedure di configurazione, di *read-out* e di trasmissione dei dati operino nel modo previsto, e lo studio delle prestazioni del canale analogico dell'ASIC.

4.1 Collaudo della configurazione dell'ASIC

A causa di una leggera variazione dei requisiti richiesti dall'applicazione, in termini di *rate* degli eventi da leggere e, quindi, di massimo *undershoot* tollerabile nel segnale di uscita dello *shaper*, la configurazione dell'ASIC scelta per la caratterizzazione si discosta leggermente dalle condizioni ideali di funzionamento, che garantiscono le migliori prestazioni che si possono ottenere in termini di linearità e di rumore. In altre parole, per allinearsi alle specifiche dettate dall'applicazione, è stato necessario accettare un compromesso in termini di non-linearità. È stata dunque impostata una corrente di I_{MPfeed} al MOSFET M_{Pfeed} del CSA pari a 500nA, maggiore di un ordine di grandezza rispetto a quella ottimale pari a 50nA, a cui corrisponde inevitabilmente un peggioramento delle prestazioni di rumore del canale in accordo con la trattazione teorica fatta. Inoltre per poter diminuire l'*undershoot* legato alla forma d'onda in uscita allo *shaper* ed allo stesso tempo regolare il guadagno del front-end in maniera tale possa incontrare la specifica richiesta, la tensione di controllo V_{CTRL_SHA} è stata fissata a 450mV, il che peggiora le prestazioni di linearità, come è stato mostrato nei precedenti capitoli.

Nella prima fase della caratterizzazione, attraverso l'invio di opportuni byte di configurazione, sono state fissate le cinque tensioni di riferimento interne al chip. I valori di tali tensioni, osservabili in uscita su un pin dell'ASIC (collegato ad un *test point* della *front-end board*) sfruttando il sistema di multiplexing precedentemente descritto, sono stati misurati e verificati mediante l'oscilloscopio.

Le tensioni V_{bl} , V_{OFF} , V_{CTRL_SHA} , sono state fissate ai valori ottimali per il funzionamento del chip e quindi misurate ottenendo i risultati mostrati in Tabella 4.1:

Tabella 4.1: Confronto tra valori attesi e misurati delle tensioni di riferimento monitorabili nell'ASIC

Tensione interna	Valore Atteso	Valore Misurato
V_{bl}	1542 mV	1534 mV
V_{OFF}	300 mV	311 mV
V_{CTRL_SHA}	450 mV	454 mV

I risultati ottenuti hanno confermato il corretto funzionamento sia della logica di configurazione dell'ASIC attraverso l'interfaccia SPI standard, che la logica di generazione dei riferimenti di tensione attraverso i 4 DAC interni al chip. Inoltre si è verificato il corretto funzionamento del multiplexer 5x1 che riporta ciascuna delle tensioni in uscita sul pin MONITOR2.

Per quanto riguarda la comunicazione SPI, è stata testata inizialmente impostando il clock ad una frequenza di 5 MHz, verificando il corretto funzionamento dell'interfaccia.

Successivamente si sono ripetuti i test aumentando la frequenza del clock fino a 25 MHz, rilevando ancora un corretto funzionamento dell'interfaccia. Visti i limiti realizzativi della *front-end board*, realizzata con un circuito PCB a doppia faccia (senza quindi gli opportuni piani di massa e alimentazione), il risultato è stato ritenuto soddisfacente.

4.2 Collaudo delle procedure di read-out

Dopo il collaudo della procedura di configurazione si è passati alla verifica della logica di lettura dei canali utilizzando il circuito di iniezione di carica a bordo della scheda di lettura e un generatore di forme d'onda, che genera il segnale di *trigger* per il circuito di iniezione stesso. Lo schema di principio della configurazione di ingresso utilizzata nel test è riportato in figura 4.3.

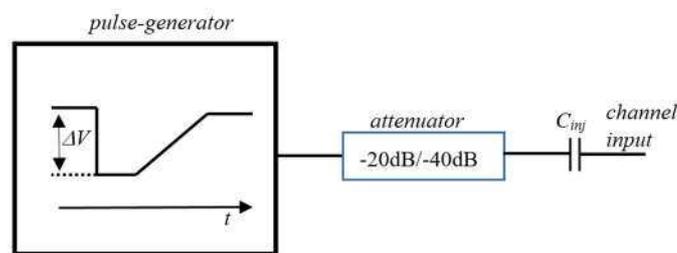


Figura 4.3: Schema di principio per l'iniezione della carica nel canale.

Le prove sono consistite quindi nello stimolare alcuni dei canali dell'ASIC, utilizzando per la capacità C_{inj} un valore pari a 1pF. L'ampiezza del gradino di tensione applicato in ingresso può essere attenuata di un fattore 10 o 100, per ottenere segnali di carica $\Delta V \cdot C_{inj}$ compatibili con la dinamica del canale evitando di usare valori troppo piccoli per l'ampiezza dell'impulso di uscita del generatore di forme d'onda. La figura 4.4 riporta un oscillogramma in cui sono mostrati i principali segnali di uscita e di ingresso dell'ASIC. In essa sono riprodotti rispettivamente il segnale di *Trigger*, generato dall'ASIC componendo in OR dei discriminatori di tensione dei vari canali, il clock di sistema a 100MHz, lo *stream* dei dati in uscita e l'uscita del multiplexer che collega i *peak detector* dei vari canali alla *pad* analogica di monitoraggio e all'ADC.

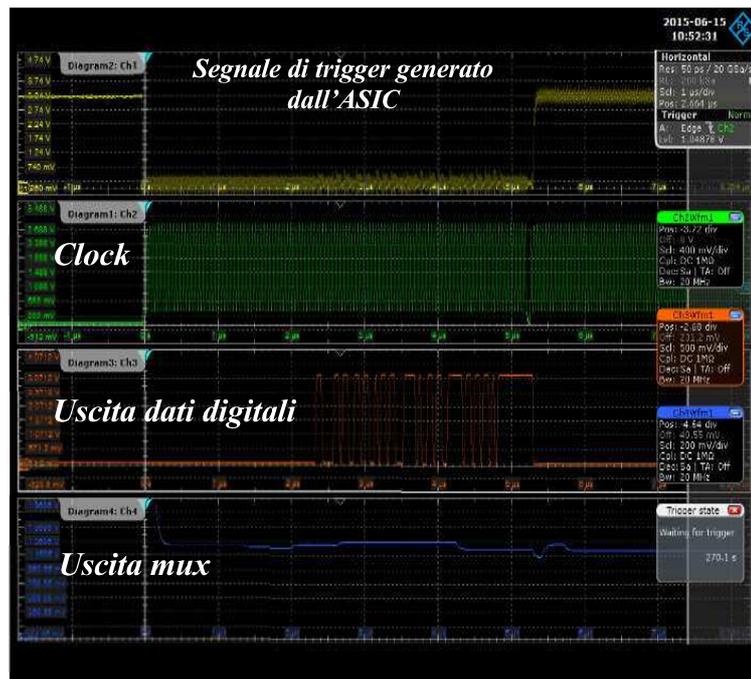


Figura 4.4: Principali segnali in ingresso ed uscita dall'ASIC durante una fase di lettura.

La figura 4.4 si riferisce a una misura realizzata utilizzando la modalità di lettura *sparse*, in cui solo i canali colpiti ed abilitati sono processati dalla logica interna dell'ASIC. Anche la procedura di lettura risulta funzionare correttamente, dunque nel complesso si può concludere che non si rilevano malfunzionamenti legati alla parte digitale integrata nell'ASIC e nelle procedure di lettura.

4.3 Caratterizzazione del canale analogico: uscita dello *shaper*

Come già accennato, attraverso un sistema di multiplexing è possibile osservare su una *pad* analogica di monitoraggio, la tensione ai capi della capacità C_{PD} del PD di uno dei canali. Per poter osservare la forma d'onda dell'uscita dello *shaper* in risposta alla carica iniettata, il PD deve essere configurato come *follower* e questo è possibile imponendo una tensione di soglia molto grande ai comparatori di canale, in modo tale che non venga generato un segnale di *trigger* e quindi inibire il passaggio del PD in modalità di rilevazione di picco. Ricordiamo che non è possibile accedere direttamente al segnale generato dallo *shaper* e che la *pad* analogica di monitoraggio è servita da un buffer di tensione che consente di osservare l'andamento della tensione direttamente sull'oscilloscopio. Al fine di esplorare l'intera caratteristica carica-tensione del canale, una carica via via crescente da 1fC a 90fC è stata iniettata per mezzo dell'impulsatore descritto precedentemente in figura 4.3. Nella successiva figura

4.5 è stato riportato l'andamento nel tempo della risposta dello *shaper*, in corrispondenza di tre diversi valori di carica iniettata, pari a 10fC, 20fC e 30fC. Il tempo di picco misurato è pari circa a 90ns. Le forme d'onda osservate presentano un leggero *undershoot* che tuttavia si esaurisce in fretta, non perturbando la coda del segnale. Lo *shaper* recupera la propria baseline, configurata leggermente al di sopra di 1.6V, in un tempo inferiore a 400ns dopo il passaggio dell'impulso.

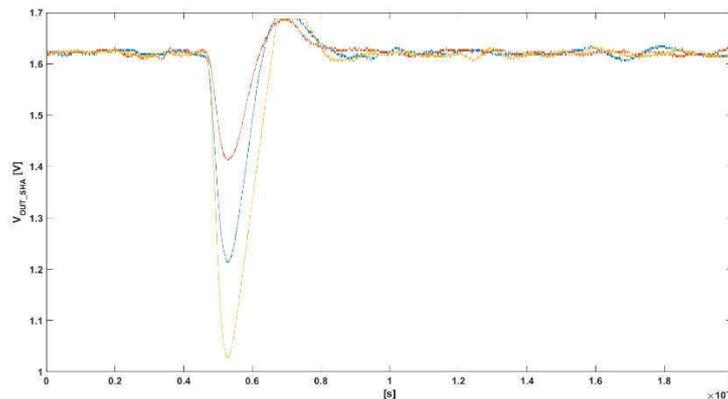


Figura 4.5: Risposta nel tempo della cascata CSA-shaper a tre impulsi di corrente, corrispondenti a una carica rispettivamente pari a 10fC, 20fC e 30fC.

In figura 4.6 è mostrata invece la caratteristica che riporta il valore di picco dell'impulso di tensione prodotto dallo *shaper* in risposta all'iniezione della carica in ingresso al front-end in funzione della quantità di carica iniettata.

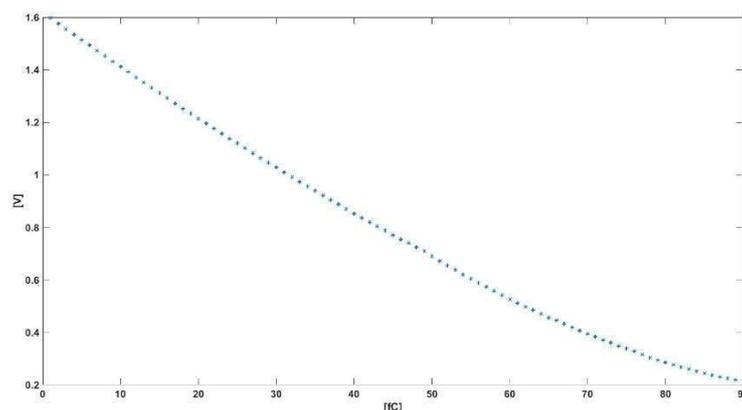


Figura 4.6: Caratteristica della tensione di picco in uscita allo *shaper* in funzione della carica iniettata in ingresso al front-end.

Il comportamento del front-end, sino a cariche inferiori a 70fC è sufficientemente lineare presentando un errore di non linearità che su questo *range* non supera il 5% come mostrato nella successiva figura 4.7, che riporta il grafico della non linearità relativa in funzione della carica iniettata nel canale.

L'errore di non linearità riportato si riferisce alla retta di *best fit*, nel senso dei minimi quadrati, della caratteristica in figura 4.6. Agli estremi della dinamica la non linearità cresce fortemente e supera il 10%. Tuttavia questo comportamento è in accordo, come mostrato in figura 2.13, con la configurazione che è stata scelta per eseguire le misure, vincolata dall'applicazione nella quale l'ASIC deve essere utilizzato. Il guadagno del front-end, valutato considerando la pendenza della retta di *fitting*, è pari a 16.8mV/fC.

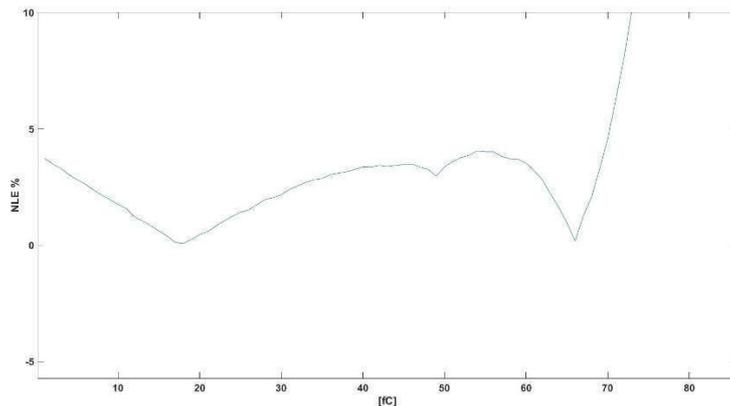


Figura 4.7: Errore di non linearità della caratteristica tensione-carica del *front-end*.

4.4 Caratterizzazione del canale analogico: uscita del *peak detector*

Facendo riferimento alla figura 3.3, sulla *pad* di monitoraggio è possibile osservare direttamente anche la tensione in ingresso all'ADC, ovvero la tensione d'uscita dei PD, amplificata di un fattore 2 per mezzo del buffer di adattamento. Nelle misure effettuate, la soglia è stata fissata in maniera tale che anche per piccoli valori di carica iniettata nel canale, il PD commuti sempre in modalità *peak-detector*.

Il comportamento non lineare osservato all'uscita dello *shaper* si propaga inevitabilmente anche sulla caratteristica di uscita del PD. Infatti, dalla caratteristica relativa, riportata in figura 4.8, si può ricavare l'andamento della non linearità, riportato in figura 4.9, che mostra praticamente lo stesso comportamento di quello estratto precedentemente all'uscita dello *shaper*. Dunque si può concludere che il PD non introduce ulteriori contributi rilevanti alla non linearità complessiva del canale.

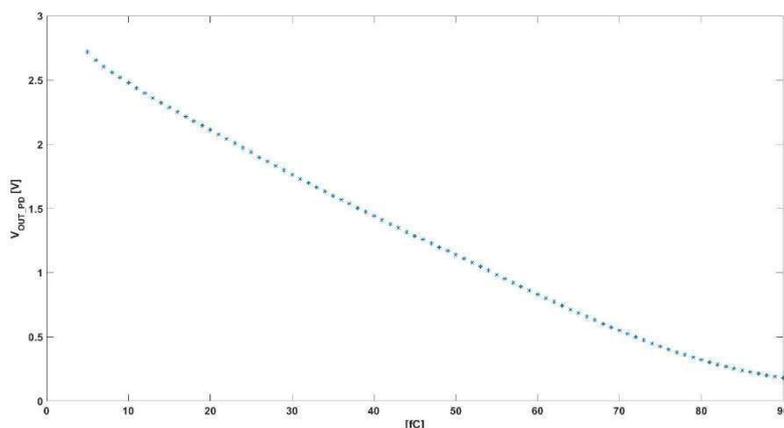


Figura 4.8: Caratteristica della tensione di uscita del PD in funzione della carica iniettata in ingresso al front-end.

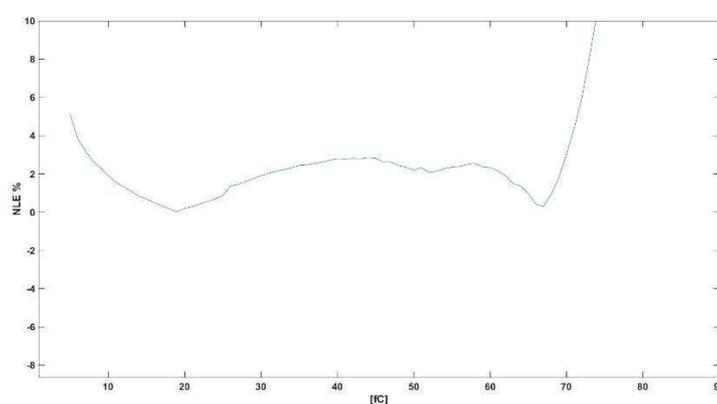


Figura 4.9: Errore di non linearità della caratteristica tensione-carica all'uscita del PD.

Il guadagno rilevato per la caratteristica in figura 4.8, sempre utilizzando la retta di *best fit* della caratteristica, è pari a circa 31.6mV/fC , che si discosta di meno del 6% rispetto al valore atteso.

È utile osservare che quest'ultima misura è perturbata da un fenomeno di iniezione di carica dovuta ad accoppiamenti capacitivi parassiti presente sulla scheda utilizzata per le misure. Infatti si è verificato che la transizione veloce del segnale di trigger dell'ASIC è in grado di accoppiarsi capacitivamente all'ingresso dei canali attraverso le linee della PCB. Questo fenomeno si sovrappone al segnale principale e determina la presenza di un offset all'uscita del PD, costante al variare della carica iniettata e presente su tutti i canali. L'entità di questo offset può essere ridotta rallentando il fronte di commutazione del segnale di *TRIGGER* dell'ASIC e, inoltre, realizzando una nuova scheda di front-end a più strati, in grado di minimizzare il *crosstalk* tra le piste e ponendo maggior attenzione al *routing* delle piste che trasportano il segnale di *TRIGGER*. Una controprova di questo miglioramento si è avuta considerando i risultati ottenuti presso la Sezione di Bari dell'INFN, in cui quattro ASIC sono stati montati su una nuova scheda multistrato utilizzata per la lettura di una GEM simile a quella che verrà utilizzata per monitorare il fascio della macchina per l'adroterapia. Grazie

anche all'affinamento del disegno del layout della scheda, gli effetti di iniezione di carica dovuti alla commutazione del segnale di *TRIGGER* dell'ASIC sono stati notevolmente ridotti [48, 49].

4.5 Valutazione del rumore elettronico

Per realizzare una stima della rumorosità del canale, fissato un certo livello di soglia, si è proceduto a effettuare un elevato numero di prove di iniezione di carica facendo variare la carica stessa, partendo da valori piccoli, non in grado far scattare il comparatore del canale, e passando via via a cariche maggiori, tali che il 100% degli eventi corrispondenti venisse classificato sopra soglia dal front-end. Per ciascun valore di carica utilizzato sono state effettuate 1000 misure. Si è quindi tracciato, per diversi valori della soglia di canale, configurabile per mezzo del DAC interno a 10 bit, l'andamento del numero di esperimenti in cui la carica è stata riconosciuta sopra soglia in funzione della carica iniettata, ottenendo le classiche "curve a S" (*S-shape*). In figura 4.10 e 4.11 sono mostrate le *S-shape* per due canali, uno per ognuno dei due banchi contenente 16 canali, che sono serviti da due differenti DAC per la generazione della soglia dei comparatori, ovvero per il canale 1 e per il canale 26. In funzione della forma della curva ad *S* è possibile fare una stima del rumore presente in fase di misura. Alla *S-shape* è infatti legata una distribuzione, la cui deviazione standard ci fornisce la specifica richiesta. Per entrambi i canali qui riportati, il rumore stimato è inferiore a 0.3fC equivalenti a 1875 e⁻. Questo livello di rumore è associato alla scelta di utilizzare una configurazione dell'ASIC diversa da quella ottimale, al fine di massimizzare la rate degli eventi che è possibile leggere.

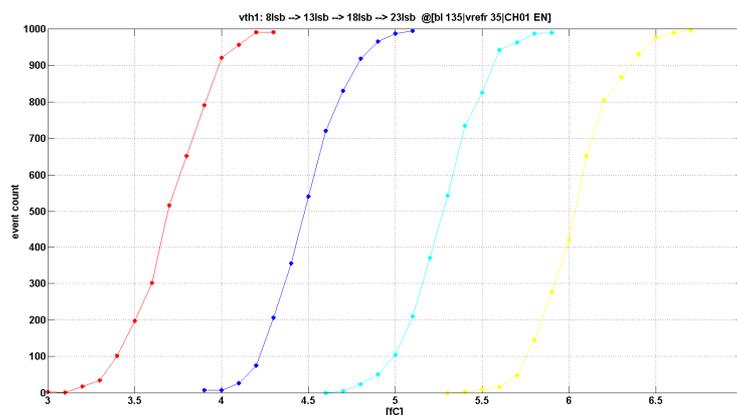


Figura 4.10: *S-shape* relativa al canale 1 per 4 valori della soglia, ottenuti con configurazione di ingresso del DAC che fissa la soglia pari rispettivamente a 8,13,18,23.

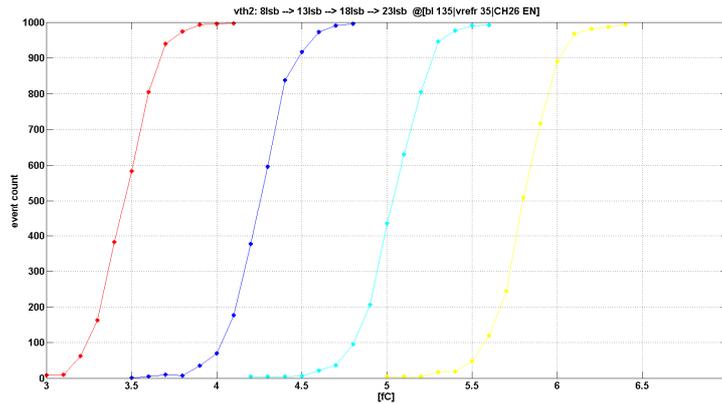


Figura 4.11: *S-shape* relativa al canale 26 per 4 valori della soglia, ottenuti con configurazione di ingresso del DAC che fissa la soglia pari rispettivamente a 8,13,18,23.

Vi è un offset, in termini di soglia in carica, tra le due famiglie di curve, pari a circa 0.2fC . Questo effetto può essere dovuto a *mismatch* fra le tensioni di offset dei comparatori utilizzati oppure a un comportamento leggermente diverso dei due DAC che generano le tensioni di soglia per i due diversi banchi di canali, tenendo presente che nominalmente un LSB del DAC corrisponde a 3.2mV , a cui equivale una risoluzione in termini di carica pari a 0.2fC .

Infine se consideriamo il punto centrale della *S-shape* come livello di soglia oltre la quale un evento è sicuramente rilevabile, è possibile stimare la dipendenza tra il valore della soglia, espressa in DAC *count*, e il valore della soglia in termini di carica. Questo tipo di valutazione è mostrata in figura 4.12 e 4.13, per entrambi i canali utilizzati ed è stata fatta a partire dai dati misurati per tracciare le *S-shape* riportate in figura 4.10 e 4.11.

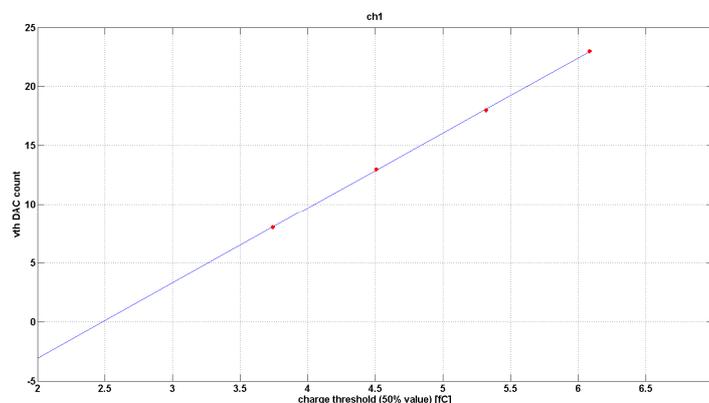


Figura 4.12: Dipendenza tra il valore della soglia, espressa in DAC *count*, e il valore della soglia in termini di carica, (canale 1 dell'ASIC).

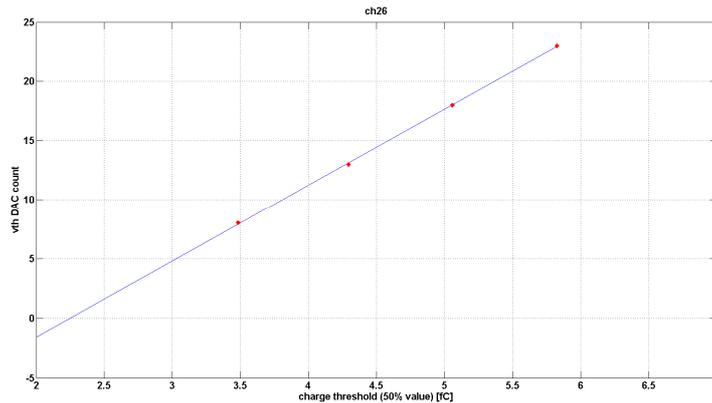


Figura 4.13: Dipendenza tra il valore della soglia, espressa in DAC *count*, e il valore della soglia in termini di carica, (canale 26 dell'ASIC).

Per entrambi i canali si può osservare che la dipendenza tra il codice di ingresso del DAC e la soglia di carica imposta al canale risulta abbastanza lineare.

4.6 Prestazioni dell'ASIC in termini di risoluzione temporale

Al fine di valutare la risoluzione temporale del segnale di trigger generato dall'ASIC in risposta a un evento, è stato eseguito un numero elevato di misure del tempo che intercorre tra l'invio di un impulso al circuito di iniezione di carica e la formazione del segnale di trigger stesso. Il numero di misure realizzate per ogni valore di carica iniettata nel canale è pari a 10000. Il jitter risultante da questa analisi è riportato in figura 4.14, in cui è evidente che, per bassi valori di carica iniettata, inferiore a 10fC, l'incertezza in termini di deviazione standard dell'istante di tempo in cui viene segnalato l'arrivo di un evento valido è superiore a 500ps, mentre raggiunge un plateau di 200ps al crescere della carica del segnale.

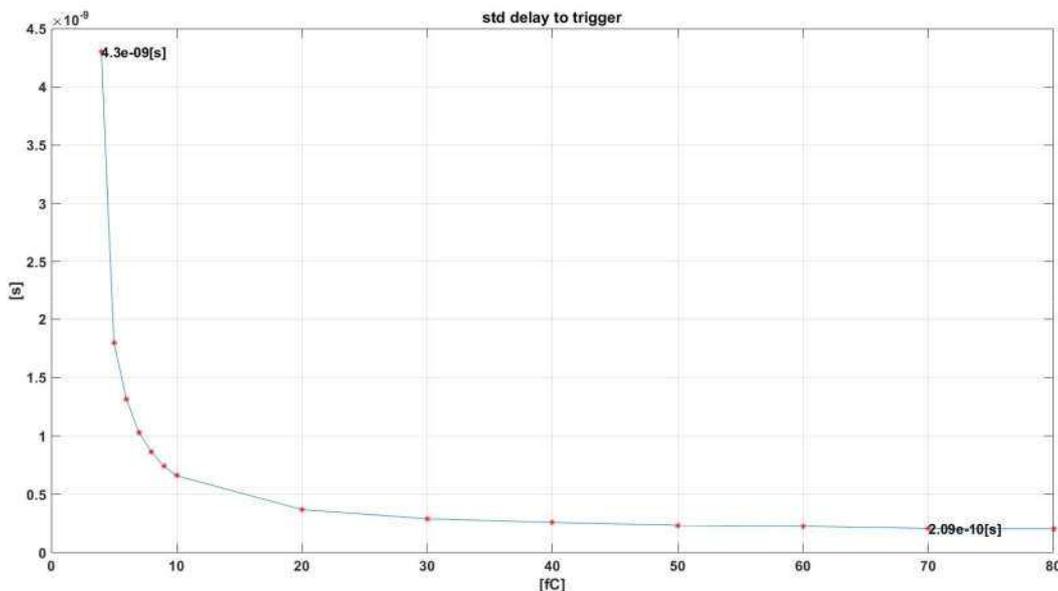


Figura 4.14: Risoluzione temporale del segnale di *TRIGGER* generato dall'ASIC al variare della carica iniettata nel canale.

4.7 Valutazione dei risultati prodotti dall'ADC

Le misure fatte per la caratterizzazione dei canali sono state ripetute prendendo in considerazione i risultati ottenuti dall'uscita dati dell'ASIC e che contengono principalmente l'informazione digitale, convertita dall'ADC interno. I risultati sono sostanzialmente in accordo con le misure fatte attraverso la *pad* analogica e validano il funzionamento dell'ADC. Tuttavia è stato effettuato una più approfondita caratterizzazione dell'ADC interno che ha mostrato problemi in termini di linearità per i codici di uscita corrispondenti al passaggio dei 4 LSBs dal valore 1111 a 0000. Questi problemi limitano la risoluzione dell'ADC e un *re-design* di questo blocco sarebbe auspicabile per correggere la gestione difettosa della transizione dalla conversione coarse a quella fine.

Conclusioni

E' stato sviluppato, progettato in tutte le sue parti e realizzato in forma prototipale un circuito integrato ad applicazione specifica (ASIC) per la lettura dei rivelatori GEM, utilizzati per il monitoraggio del fascio di protoni in un nuovo apparato per la radioterapia adronica che rappresenta uno degli obiettivi realizzativi principali del progetto AMIDERHA volto allo studio e all'implementazione di nuovi sistemi avanzati per diagnosi e radioterapia. Il circuito, progettato in tecnologia CMOS standard da 0.35 μ m, contiene 32 canali analogici basati su un'architettura di tipo Charge Sensitive Preamplifier (CSA) seguito da un filtro di shaping del 2° ordine e da un rivelatore di picco. Il canale analogico presenta un range dinamico intorno a 80fC e un rumore equivalente di ingresso in termini di carica (ENC) pari a circa 1800e-, nella configurazione utilizzata nelle misure di caratterizzazione, non ottimali dal punto di vista del rumore. L'architettura dell'ASIC è completata da un convertitore A/D a 8 bit, con struttura di tipo "flash dual-step" e da una parte digitale che gestisce automaticamente il multiplexing dei canali analogici verso l'ADC, la trasmissione dei dati verso l'esterno, che avviene attraverso un'interfaccia seriale a 100Mbit/s con standard LVDS, e la configurazione delle grandezze programmabili dell'ASIC, attraverso un'interfaccia standard SPI.

Le misure di caratterizzazione condotte sull'ASIC dimostrano che le prestazioni ottenute sono in linea con le esigenze dell'applicazione prevista e che, per certi aspetti, come il comportamento in termini di rumore e linearità, possono essere notevolmente migliorate utilizzando una configurazione del circuito diversa rispetto a quella utilizzata, che è stato necessario adottare per soddisfare i requisiti di sostenibilità della rate degli eventi, leggermente diversi da quelli previsti in fase di progetto.

Un eventuale sviluppo futuro dell'ASIC può essere rivolto all'ampliamento della flessibilità generale del sistema con ampliamento delle possibilità di configurazione. Si può pensare per esempio di ampliare la programmabilità della dinamica.

Inoltre un intervento futuro può essere mirato alla risoluzione dei problemi incontrati con l'ADC in termini di DNL, al fine di migliorarne le prestazioni.

Bibliografia:

- [1] M. Marafini, A. Attili, G. Battistoni, N. Belcari, M.G. Bisogni, N. Camarlinghi, F. Cappucci, M. Cecchetti, P. Cerello, F. Ciciriello, G.A.P. Cirrone, S. Coli, F. Corsi, G. Cuttone, E. De Lucia, S. Ferretti, R. Faccini, E. Fiorina, P.M. Frallicciardi, G. Giraudo, E. Kostara, A. Kraan, F. Licciulli, B. Liu, N. Marino, C. Marzocca, G. Matarrese, C. Morone, M. Morrocchi, S. Muraro, V. Patera, F. Pennazio, C. Peroni, L. Piersanti, M.A. Piliero, G. Pirrone, A. Rivetti, F. Romano, V. Rosso, P. Sala, A. Sarti, A. Sciubba, G. Sportelli, C. Voena, R. Wheadon, A. Del Guerra, “The INSIDE Project: Innovative Solutions for In-Beam Dosimetry in Hadrontherapy”, *Acta Physica Polonica A*, vol 127, no. 5, pag. 1465- 1467, 2015.
- [2] F. Pennazio, A. Attili, G. Battistoni, N. Belcari, M.G. Bisogni, N. Camarlinghi, F. Cappucci, M. Cecchetti, P. Cerello, F. Ciciriello, G.A.P. Cirrone, S. Coli, F. Corsi, G. Cuttone, E. De Lucia, S. Ferretti, R. Faccini, E. Fiorina, P.M. Frallicciardi, G. Giraudo, E. Kostara, A. Kraan, F. Licciulli, B. Liu, M. Marafini, N. Marino, C. Marzocca, G. Matarrese, C. Morone, M. Morrocchi, S. Muraro, V. Patera, C. Peroni, L. Piersanti, M.A. Piliero, G. Pirrone, A. Rivetti, F. Romano, V. Rosso, P. Sala, A. Sarti, A. Sciubba, G. Sportelli, C. Voena, R. Wheadon, A. Del Guerra, “A Study of Monitoring Performances with the INSIDE System”, *Acta Physica Polonica A*, vol 127, no. 5, pag. 1468- 1470, 2015.
- [3] F.Sauli “GEM: A new concept for electron amplification in gas detectors”, *Nuclear Instruments and Methods in Physics Research A* 386 (1997) 531-534.
- [4] F.Sauli Nuclear “Multiwire proportional chambers and drift chambers”, *Instruments and Methods in Physics Research* 162 (1979) 405-425.
- [5] A. Breskin, et al, “Sealed GEM photomultiplier with a CsI photocathode:ion feedback and ageing”, *Nuclear Instruments and Methods* 124 (1974) 189.
- [6] M.Capeans. “Aging and materials: lessons for detectors and gas system”, *Nuclear Instruments and Methods* 515 (2003) pag 73-88.
- [7] A. Oed, *Nucl. Instr. and Meth. A* 263 (1988) 351.
- [8] R. Bouclier, “High rate operation of MSGC”, *IEEE TRANS. Of Nucl. Science* vol43, n.3, 1996.
- [9] F.Sauli, “The gas electron multiplier (GEM): Operating principles and applications”, *Nuclear Instruments and Methods in Physics Research A* 805 (2016) 2–24.

- [10] GEM at CERN. Seminario di Leszec Repelewsky CERN PH-DT2-ST & TOTEM
- [11] Bachmann. “Charge amplification and transfer processes in the gas electron multiplier”, Nuclear Instruments and Methods in Physics Research A 438 (1999) 376-408.
- [12] F. Sauli, “Principles of Operation of Multiwire Proportional and drift chambers”, CERN 7707 (1977).
- [13] G.Knoll Radiation detection and measurement. Wiley 2010.
- [14] Ritcher, “Absolute electron transfer efficiency of GEM”, Nuclear Instruments and Methods in Physics Research A 461 (2001) 38–41.
- [15] Sauli. “Electron Collection and Ion Feedback in GEM-Based Detectors”, Nuclear Science Symposium Conference Record, 2002 IEEE.
- [16] P. R. Altieri, D. Di Benedetto, G. Galetta, R. A. Intonti, A. Mercadante, S. Nuzzo, and P. Verwilligen: “A beam monitor based on MPGD detectors for hadron therapy,” 4th Conference on Micro-Pattern Gaseous Detectors, Trieste, ottobre 12 - 15, 2015.
- [17] R.Chechik. “Recent investigations of cascaded GEM and MHSP detectors”, Nuclear Science Symposium Conference Record, 2003 IEEE.
- [18] Marco Poli Lener Doctoral Thesis in Physics, “Triple-GEM detectors for innermost region of the muon apparatus at the LHCb experiment”.
- [19] G. Bencivenni. “The GEM detector activity at the Frascati Laboratory”, Nuclear Physics A 827 (2009) 614c–617c
- [20] E. Gatti and P.F. Manfredi. Processing the signals from solid-state detectors in elementary-particle physics. Rivista del Nuovo Cimento, vol. 9, pag. 1–146, 1986.
- [21] S. Rosenstark, “Feedback amplifier principles”, Macmillan Pub. Co., USA, 1986.
- [22] Z.Y. Chang, W.M.C. Sansen, “Low-Noise Wide-Band Amplifiers in Bipolar and CMOS Technologies”, Kluwer international series, 1991.
- [23] Z. Y. Chang; W. Sansen, “Limits of low noise performance of detector readout front ends in CMOS technology”, IEEE Transactions on Circuits and Systems, vol. 37, no. 11, pag. 1375-1382, 1990.

- [24] F. Murtas et al., “Triple GEM gas detectors as real time fast neutron beam monitors for spallation neutron sources”, 2012 JINST 7 P07021
- [25] ISIS website, www.isis.stfc.ac.uk
- [26] P. Aspell, “VFAT2 : A front-end “system on chip” providing fast trigger information and digitized data storage for the charge sensitive readout of multi-channel silicon and gas particle detectors”, Nuclear Science Symposium Conference Record, 2008. NSS '08. IEEE, DOI: 10.1109/NSSMIC.2008.4774696.
- [27] A.Balla, “GASTONE: A new ASIC for the cylindrical GEM inner tracker of KLOE experiment at DAFNE”, Nuclear Instruments and Methods in Physics Research A 604 (2009) 23–25
- [28] A.Balla, “GASTONE64: A new front-end ASIC for the cylindrical GEM InnerTracker of KLOE-2 experiment at DAΦNE”, Nuclear Instruments and Methods in Physics Research, Volume 732, 21 December 2013, Pages 523–525
- [29] G. De Geronimo, “Front-End ASIC for a GEM Based TimeProjection Chamber”, IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 51, NO. 4, AUGUST 2004
- [30] A. Pezzotta, “GEMINI, a CMOS 180 nm mixed-signal 16-channel ASIC for Triple-GEM detectors readout”, 2015 IEEE SENSORS, DOI: 10.1109/ICSENS.2015.7370468
- [31] F.Ciciriello, F.Corsi, G. De Robertis, G. Felici, F. Loddo, C. Marzocca, G. Matarrese, A. Ranieri, “A new front-end ASIC for GEM detectors with time and charge measurement capabilities”, Nuclear Instruments & Methods in Physics Research A, vol. A824, pag. 265-267, 2016.
- [32] J. Kaplon, W. Dabrowski, “Fast CMOS Binary Front End for Silicon Strip Detectors at LHC Experiments”, IEEE Transactions on Nuclear Science, vol. 52, no. 6, pag. 2713-2720, 2005.
- [33] G. De Geronimo, P. O’Connor, “A CMOS Detector Leakage Current Self-Adaptable Continuous Reset System: Theoretical Analysis”, Nuclear Instruments & Methods in Physics Research A, vol. A421, pag. 322-333, 1999.
- [34] G. De Geronimo, P. O’Connor, “A CMOS Fully Compensated Continuous Reset System”, IEEE Transactions on Nuclear Science, vol. 47, no. 4, pag. 1458-1462, 2000.
- [35] P. Jarron, F. Anghinolfi, E. Delagne, W. Dabrowski, L. Scharfetter, “A transimpedance amplifier using a novel current mode feedback loop”, Nuclear Instruments & Methods in Physics Research A, vol. A377, pag. 435-439, 1996.

- [36] A.S Sedra, K.C. Smith, "Microelectronic Circuits", 7th edition, Oxford University Press, USA, 2014.
- [37] G. De Geronimo, P. O'Connor, J. Grosholz, "A CMOS Baseline Holder (BLH) for Readout ASICs", IEEE Transactions on Nuclear Science, vol. 47, no. 3, pag. 818-822, 2000.
- [38] F. Corsi, M. Foresta, C. Marzocca, G. Matarrese, A. Tauro, "A Novel Output Baseline Holder Circuit for CMOS Front-End Analog Channels", IEEE Nuclear Science Symposium Conference Record NSS '08, sessione N11-1, Dresden, Germania, 2008.
- [39] G. De Geronimo, P. O'Connor, A. Kandasamy, "Analog CMOS peak detect and hold circuits. Part 1. Analysis of the classical configuration", Nuclear Instruments & Methods in Physics Research A, vol. A484, pag. 533-543, 2002.
- [40] G. De Geronimo, P. O'Connor, A. Kandasamy, "Analog CMOS peak detect and hold circuits. Part 2. The two-phase offset-free and derandomizing configuration", Nuclear Instruments & Methods in Physics Research A, vol. A484, pag. 544-556, 2002.
- [41] M.N Ericson, M.L. Simpson, C.L. Britton, M.D. Allen, R.A. Kroeger, S.E. Inderhees, "A Low-Power, CMOS Peak Detect and Hold Circuit for Nuclear Pulse Spectroscopy", IEEE Transactions on Nuclear Science, vol. 42, no. 4, pag. 724-728, 1995.
- [42] R. Gregorian: "Introduction to Cmos Op-Amps and Comparators", Wiley-Interscience, USA, 1999.
- [43] F. Ciciriello, F. Corsi, F. Licciulli, C. Marzocca, G. Matarrese, E. Chesi, E. Nappi, A. Rudge, J. Seguinot, A. Del Guerra: "BASIC32_ADC, a Front-end ASIC for SiPM Detectors", IEEE Nuclear Science Symposium Conference Record (NSS/MIC'13), Seoul, 2013.
- [44] F. Corsi, C. Marzocca, G. Matarrese, M. Foresta, A. Argentieri, A. Del Guerra: "An 8-bit, Two-step Embedded ADC for a SiPM Read-out Chip" IEEE Nuclear Science Symposium (NSS'10), Knoxville, Tennessee, pag. 1377-1381, 2010.
- [45] S. Hosotani, T. Miki, A. Maeda, and N. Yazawa, "An 8-bit 20-MS/s CMOS A/D Converter with 50-mW Power Consumption", IEEE Journal of Solid-State Circuits, vol. 25, no. 1, pag. 167-172, Feb. 1990.

- [46] R. C. Taft, M. R. Tursi, "A 100-MS/s 8-b CMOS Subranging ADC with Sustained Parametric Performance from 3.8V Down to 2.2V", *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pag. 331-338, March 2001.
- [47] M.J.M. Pelgrom; A.C.J. Duinmaijer; A.P.G. Welbers, "Matching properties of MOS transistors", *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pag. 1433-1439, 1989.
- [48] P. R. Altieri, F. Ciciriello, A. Colaleo, G. De Robertis, C. Marzocca, A. Stamerra, A. Ranieri, V. Valentino, "Progress on simulation and first prototype results on a beam monitor based on MPGD detectors for hadron therapy", *ATTRACT Symposium on Detection and Imaging Technologies*, Barcellona, 2016.
- [49] P. R. Altieri, F. Ciciriello, A. Colaleo, G. De Robertis, C. Marzocca, A. Stamerra, A. Ranieri, V. Valentino, L. Vitucci, "Applications of MPGD detectors for hadron therapy and investigation of their potential use for environmental gamma rays monitoring", *Workshop MPGD Applications Beyond Fundamental Science*, Aveiro, Portugal, 2016.